



ヘテロジニアスイнтеグレーション
ロードマップ
2019年度版

第6章: 航空宇宙および防衛

<http://eps.ieee.org/hir>

HIR は、技術評価のみを目的として考案されており、個々の製品または機器に関連する商業上の考慮事項とは無関係です。

このロードマップでは、元のソースから抜粋した資料および図の使用に感謝します。

図と表は、元のソースの許可を得てのみ再利用する必要があります。



第 6 章: 航空宇宙および防衛

1. エグゼクティブサマリー

半導体産業の航空宇宙および防衛分野には、技術、セキュリティ、サプライチェーン、ライフサイクルの面で独自のニーズがあります。ヘテロジニアスインテグレーション (Heterogeneous Integration) は、これらの課題のすべてに対応する重要なテクノロジーであるため、航空宇宙および防衛の固有の要件を具体的にターゲットとするヘテロジニアスインテグレーションロードマップ (HIR) が必要です。このロードマップでは、5年、10年、および15年の視野で課題を特定し、それらの課題に対処する方法に関するガイダンスを提供します。もちろん、これは永続的な進行中の作業であり、機能が前進し、新しい要件が発生すると更新されます。

イニシャルスコープ

最初のバージョンは、主に米国の航空宇宙および防衛産業の課題と要件に焦点を当てています。ヘテロジニアスインテグレーションロードマップ (HIR) の目的は、世界中の半導体コミュニティに役立つガイダンスを提供するドキュメントを作成することです。そのため、米国中心の視点は、この作業の出発点にすぎません。確かに、信頼性、帯域幅、熱管理、放射線硬化、長い製品開発サイクルと寿命、サプライチェーン、セキュリティなど、国際的な A&D (航空宇宙および防衛産業) 業界全体に広がる多くの技術的な課題があるため、コンテンツの多くは米国航空宇宙および防衛産業外に一般化できます。この章の将来の改訂は、そのより広い範囲を反映します。

2. HIR航空宇宙防衛ワーキンググループ

2.1 航空宇宙のミッションステートメント-防衛 TWG

A&D 向けの HIR テクノロジーワーキンググループ (TWG) の使命は、航空宇宙および防衛システムにおける最先端の電子機器の継続的な実装を妨げる障害の課題を特定し、ガイダンスを提供し、A&D の専門職 (業界、学界、および政府) に解決策を提供することです。

組み込みの高速コンピューティング、サイバー、センサー、C4ISR、信号処理、レーダー、RF /アナログの新機能のためにヘテロジニアスインテグレーションテクノロジーに対処する必要があり、すべてセキュリティ、信頼性、小規模生産量、長いライフサイクルタイムラインなどの固有の制約と要件に対処します。この進歩は、業界の将来の成長と、航空宇宙、防衛、およびセキュリティアプリケーションへの継続的な影響の約束の実現に不可欠です。

このアプローチは、5年、10年、および15年の期間で A&D エレクトロニクス業界のヘテロジニアスインテグレーションの要件を特定し、これらの要件を満たすために克服しなければならない困難な課題を特定し、可能な場合、潜在的なソリューションとより大きな商業セクターとより小さな A&D コミュニティの間の相乗効果を特定することです。

2.2 航空宇宙と防衛のためのヘテロジニアスイнтеグレーションロードマップを開発するための

TWG

A&D TWG の目標は、航空宇宙および防衛分野のアプリケーション用のヘテロジニアスイнтеグレーションコンポーネントのロードマップを開発することであり、商用市場で利用可能なヘテロジニアスイнтеグレーションテクノロジーを活用したいが、特別なニーズと課題があります。

具体的な目標：

- 次の5年、10年、および15年の期間における A&D 固有の課題を特定する
- 有望なソリューションとテクノロジーを特定する
- 対処されていない課題と、必要なソリューション/技術の種類を特定する
- これらすべてを HIR 文書全体の章として文書化する
- 次のバージョンの HIR のロードマップを更新するために、A&D 半導体とパッケージングスペースの監視と分析を続けます
- この最初のバージョンの A&D 章の内容の多くは、主に業界の進歩と 2.5D への焦点、および商用 2.5D アプローチとの大幅な重複のために、2.5D インテグレーションテクノロジーに関するものです。今後の改訂により、3D インテグレーションや、A&D 要件が進化し、複数のソリューションが必要になるにつれて、ウェーハレベルのファンアウトなどの他のアプローチに関する重要なコンテンツが追加されると予想されます。

3. イントロダクションとモチベーション

70 年以上にわたり、米国政府 (USG) は半導体業界と緊密に連携して、今日の半導体エコシステムを促進しています。消費者向け電子機器が大量に拡散する前の初期の数年間、政府はテクノロジーの主要な推進力でした。利用可能な技術の多くは、USG が資金提供した研究開発 (R&D) プログラムから生まれました。顕著な例には、プリント回路基板、GaAs デバイス、微小電気機械システム (MEMS)、インターネットの基本技術、全地球測位システム (GPS)、および 5G に必要な技術の多くが含まれます。USG を最初の顧客として、「50 年代」および「60 年代」のトランジスタ、そして IC の開発のための資金は、50 年前に月面着陸をもたらしました。近年、パーソナルコンピューター、モバイルデバイス、現在のモノのインターネット (IoT) などの商用アプリケーションは、半導体産業の主要な焦点である膨大な生産需要とビジネスチャンスを生み出しています。その結果、A&D ニーズに対応するマイクロエレクトロニクスは、半導体市場全体のごく一部であるため、業界のロードマップに与える影響は小さくなります。

航空宇宙防衛の観点から見ると、高度な半導体技術への継続的なアクセスは、国防だけでなく国の経済的活力にとっても重要です。最近の米国大統領科学技術諮問委員会 (PCAST) レポートでは、次のように述べています。

「世界の半導体市場は完全に自由な市場ではありませんでした。歴史的に政府と学界が主導してきた科学に基づいています。その一部は、国家安全保障と防衛の義務の結果として、さまざまな方法で制限されています。そして、それはしばしば国の産業政策の焦点です。市場の力は中心的かつ重要な役割を果たします。しかし、既存の市場の力だけで最適な結果が得られるという米国の政策立案者による推定は、特に他国からの実質的な産業政策に直面した場合に保証されません。」¹¹

11

3.1 国防戦略 (2018) ¹²

USG の国防戦略は 2018 年に公開されました。課題を浮き彫りにする主なポイントは次のとおりです。

- 「10 年以上続く静的構成ではなく、プラットフォームの電子機器とソフトウェアを定期的に交換するように設計する必要があります」。また、「関連する速度でパフォーマンスを提供する」必要があります。
- 「新しい商業技術は社会を、最終的には戦争の性格を変えるでしょう。多くの技術開発が商業部門からもたらされるという事実は、国家の競争者と非国家主体もそれらにアクセスできることを意味します。これは、私たちの国が慣れ親しんできた従来の過剰競争を浸食するリスクがあります。

現代の戦争は、環境を感知し、信号をデータストリームに変換し、情報を処理し、応答を生成するマイクロエレクトロニクス機能にますます依存しています。この意味で、A&D システムは、ムーアの法則による半導体密度、機能性、およびコスト削減の進歩を活用しながら、通信と計算を実行する商用システムに非常に似ています。有線および無線システムを介して、より多くのデータスループットが求められています。セルラーシステムは 3G から 4G に移行し、現在では 5G アーキテクチャに移行し、各世代で帯域幅を 10 倍まで向上させています。通信、レーダー、およびセンシング用の DoD (Department of Defense) システムは一般に、より広い帯域幅、より高いダイナミックレンジ、より高い送信電力、および商業側が必要としない特殊な周波数帯域とセキュリティ要件を必要とします。図 3-2 は、次世代の戦争の方向性を強調し、システムオブフレームワークのシステムを可能にします。A&D 空間の課題は、商業世界の課題と重複していますが、上記の課題を超えています。

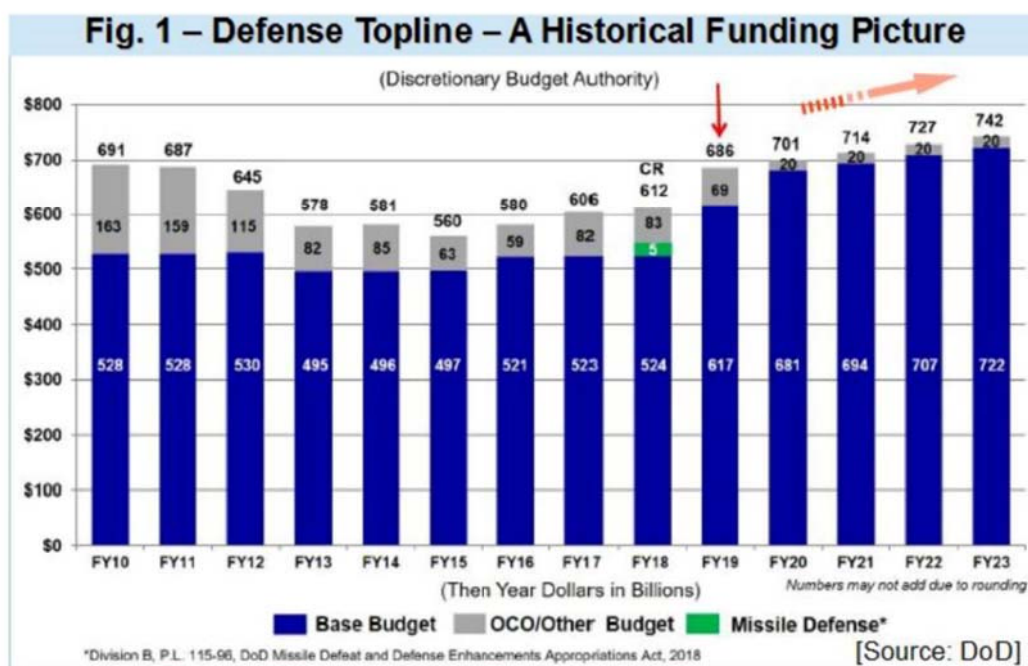


Figure 3-1. US DoD funding historical perspective¹³

https://obamawhitehouse.archives.gov/sites/default/files/microsites/ostp/PCAST/pcast_ensuring_longterm_us_leA&Dership_in_semiconductors.pdf

¹² 2018 National Defense Strategy found at <https://dod.defense.gov/Portals/1/Documents/pubs/2018-National-Defense-Strategy-Summary.pdf>

¹³ <https://www.semiwiki.com/forum/content/7368-meeting-challenges-national-defense-strategy.html>

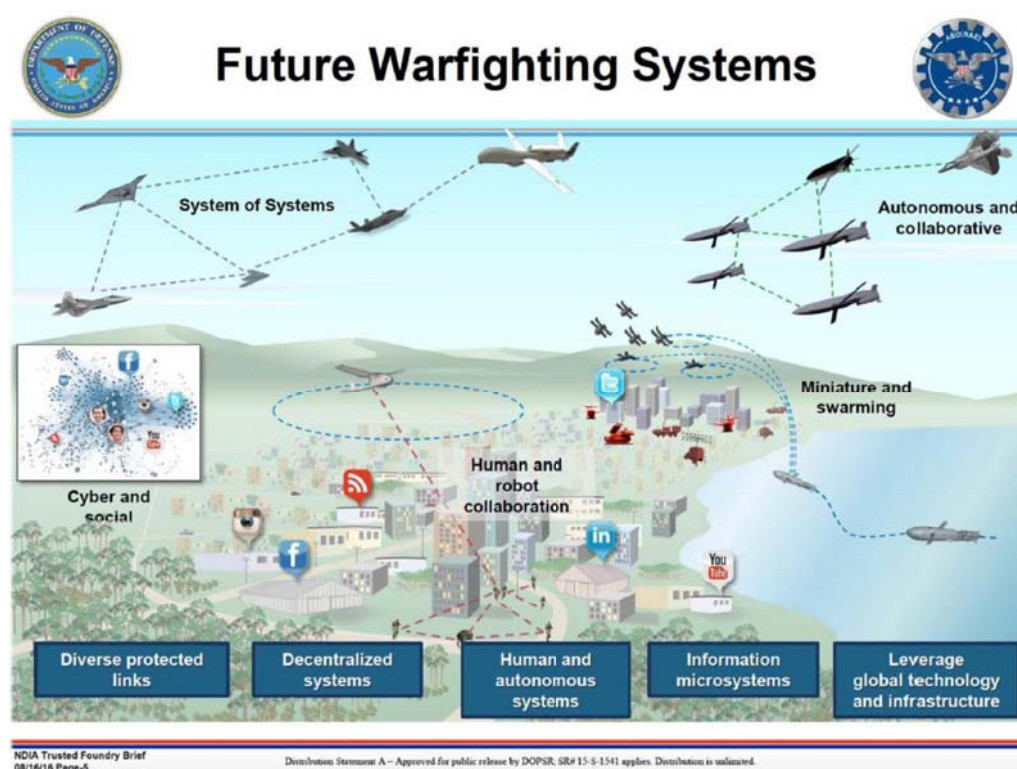


Figure 3-2. Notional future warfighting systems architecture

3.2 NDIA 信頼できるマイクロエレクトロニクス研究

2017年に、国防産業協会（NDIA）は、信頼できるマイクロエレクトロニクスの研究を実施しました。¹⁴

米国国立半導体戦略の作成

「包括的な国家半導体戦略の欠如は、重要な国家安全保障技術と米国の技術競争力へのアクセスを確保するための主要な障害と見なされていました。」

DoD の買収慣行を適応させて商業市場に合わせる

「国防総省の買収慣行と商業販売の優先順位の違い」に注目して、報告書は「防衛製品は、商業製品が信頼性について評価された後、商業条件で技術を購入する新しい方法を提供することをお勧めします」

DoD 市場の影響力を高める

「半導体市場における DoD のシェアが劇的に減少して今日の半導体消費量の 1% 未満になり、必要なマイクロエレクトロニクス機能へのアクセスを取得する部門の能力が低下したため、...そして、DoD プログラム、他の USG オフィス、およびコンポーネントとシステムの整合性に関する同様の懸念がある USG 以外の業界全体で需要を集約します。」

新しい信頼および保証モデルを採用する

「保証範囲または「信頼の層」レベルの境界を定義し、ASIC を超えるコンポーネントカテゴリをカバーします。」

¹⁴ <http://www.ndia.org/-/media/sites/ndia&Divisions/working-groups/tmjwg-documents/tm-jwg-esr-v3.ashx?la=en>

信頼されていないファブでの信頼とセキュリティを実現するための研究開発を開始

「防衛システムにこれらの機能を活用するために、信頼できる 3D / 2.5D インテグレーションを含む既存の商用技術機能のセキュリティ上の懸念に対処するための短期的な研究開発を開始します。」

4つの NDIA Trusted Microelectronics Joint Working Group (TM JWGs) のうち2つは、マイクロエレクトロニクスの展望を研究し、ヘテロジニアスインテグレーションに関連する推奨事項を作成しました。

NDIA TM JWG チーム1は、マイクロエレクトロニクス技術の将来のニーズとシステムへの影響に取り組み、次の質問をしました。¹⁵

- 「防衛請負業者が技術的優位性を維持するために必要な将来のマイクロエレクトロニクス機能は何ですか？」
- 「地平線上に破壊的な可能性のある新しいハードウェアパラダイムがありますか？」
 - システム：システムのニーズとシステムの機能：DoD システムの将来の要件は何ですか？
 - コンポーネントの有効化：これらの機能をコンポーネントレベルで有効にする新しいテクノロジーは何ですか？
 - 導入：システムの機能を有効にするセキュアなコンポーネントの可用性（5～10年）に関するリスクは何ですか？

HIR A&D の章では、同様の質問をし、このコミュニティの異機種間インテグレーションに関する洞察を提案します。

4. 航空宇宙および防衛セクターとは

Deloitte は、2019年の「Global Aerospace and Defense Industry Outlook」ホワイトペーパー¹⁶で次の見解を述べています。

- 民間航空機の受注残はピーク時で 14,000 を超えており、今後3年間で約 38,000 の航空機が世界的に生産されると予想されています。
- 地政学的リスクが世界中で増大するにつれて、世界の軍事支出が復活。
- 戦争は、監視、通信、ターゲティングを含む軍事作戦用の衛星などの宇宙資産の領域に移動するため、宇宙は防衛エコシステムの重要な部分になりつつあります。
- 国際貿易協定の変更は、グローバルサプライチェーンを混乱させ、コストを増加させる可能性があります。

米国は A&D の支出と収益の創出を支配していますが、他の主要地域は中国、フランス、インド、日本、中東、英国などのセクターに貢献すると予想されます。

航空宇宙および防衛分野は、デジタルイノベーションの最前線にあり、他の業界のテクノロジー¹⁷採用の道をリードしています。階層は次のように表示できます。

- エンドカスタマー（USG など）。

¹⁵ <http://www.ndia.org/-/media/sites/ndiaA&Divisions/working-groups/tmjwg-documents/ndia-tm-jwg-team-1-white-paperfinalv3.ashx?la=en>

¹⁶ Deloitte 2019 Global aerospace and defense industry outlook, found at <https://www2.deloitte.com/global/en/pages/manufacturing/articles/global-a-and-d-outlook.html>

¹⁷ REPORT TO CONGRESS: Fiscal Year 2016 Annual Industrial Capabilities, found at <https://www.businessdefense.gov/Portals/51/Documents/Resources/2016%20AIC%20RTC%2006-27-17%20-%20Public%20Release.pdf?ver=2017-06-30-144825-160>

- エンドユーザーにエンドツーエンドのシステムソリューションを提供するシステムプライム (OEM)。
- サブシステムサプライヤーは、推進、指揮統制、電子戦、構造サブシステムなどの重要なサブシステムをプライムに提供します。
- コンポーネントサプライヤーは、主要および主要なサブシステムプロバイダー向けに、エネルギーおよび構造材料、マイクロエレクトロニクス、ケーブル、コネクタなどのコンポーネントパーツを提供します。
- ピュアプレイサプライヤー (材料、機器、設計、製造、他のサプライチェーンプレーヤーへのサービス)

図 4-1 は 商用および航空宇宙防衛ビジネスモデルの違いを強調しています。市販製品のライフサイクルは非常に短いのにに対し、A&D 製品は何十年もサポートされなければなりません。A&D 製品は数千、数百、またはそれ以下になる可能性があります。商用製品のエンジニアリングコストは数百万または数十億単位で償却できます。A&D システムは一般にユニットコストには影響されませんが、極端な環境で動作する必要があり、製品ライフサイクルにわたって追跡される血統を実証している必要があります。

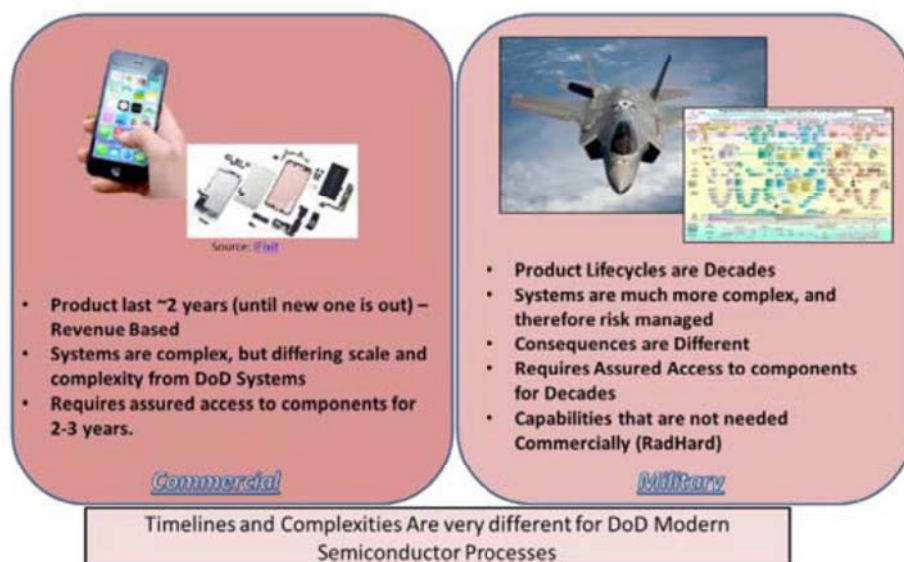


Figure 4-1. Differences between the commercial and aerospace – defense business models¹⁸

5. 航空宇宙および防衛システムへのヘテロジニアスインテグレーションの影響

A&D セクターのいくつかの特性により、独自の課題が生じます：

- 高性能–主要なシリコンノードと高度なパッケージングテクノロジーへのアクセスが必要なため、特定の技術的指標（たとえば、広い帯域幅と高ダイナミックレンジでのデジタル化）で優位性を維持します。
- 高い信頼性–過酷な環境で生き残り、リスクの高い環境で人間の安全を優先する必要がある
- 長い製品ライフサイクル–部品の陳腐化とアップグレード性を管理する必要がある
- 少量–高い製品構成を提供するサプライチェーン、および償却のために大量を使用せずに NRE (Non-Recurring Engineering) を管理するビジネスモデルへのアクセスが必要

¹⁸ NDIA: Trusted Microelectronics Joint Working Group: Future Needs & System Impact of Microelectronics Technologies, found at <http://www.ndia.org/divisions/working-groups/tmejwg/final-team-reports>

- セキュリティ-安全な国内サプライチェーンおよび/または検証技術が必要

ヘテロジニアスインテグレーションは、複数のデバイステクノロジーの課題に新たな工夫を加えるか、モジュラーデザインとアセンブリでそれらの一部を解決するかによって、これらすべての課題の要因です。最も具体的には、ヘテロジニアスインテグレーションは A&D セクターの高性能の課題に直接対処します。

モノリシックシステムオンチップソリューションは、A&D アプリケーションではますます制限されています。ダイのコア数を増やしてムーアの法則を維持することは、メモリアクセスのボトルネックが一般化し、ダイのサイズと複雑さが法外に高くなるため、実行不可能です。パフォーマンス、エネルギー効率、およびプログラム可能性を強化するには、プロセスノードと材料の多様性 (CPU、GPU、FPGA) が必要です。同様に、通信と検知には RF / mm 波デバイスとデータコンバーターが必要です。ヘテロジニアスインテグレーションは、相互接続の長さの短縮と異なるデバイステクノロジーの最適な組み合わせにより、これらの制限に対処し、ムーアの法則を維持する方法を提供します。A&D セクターは、商業用半導体業界の革新と市場ドライバーを適応させ、採用しなければなりません。

考慮すべき指標は何か？

A&D セクターのヘテロジニアスインテグレーションのために考慮すべき多数のメトリックがあり、それらはアプリケーション (通信、レーダー、EW (Electronic Warfare:電子戦) など) によって異なる場合があります。分類されたメトリックは次のとおりです。

- パフォーマンス：データレート、遅延、TFLOP(テラフロップス)、挿入損失、分離、ダイナミックレンジ
- エネルギー/電力：ビットあたりのエネルギー、TFLOPS /ジュール、漏れ電力
- インターフェイス：信号プロトコル、エラー修正、相互接続の長さ、ESD
- 温度：最大接合部温度、デバイスの総電力、デバイスの電力密度、ホットスポットの電力密度、熱試験規格
- 電気：パッケージ内のコンポーネントへの配電損失、変換の損失、ピーク誘導ノイズ、高調波ノイズ
- 信頼性/可用性：MTBF、耐放射線性、コンポーネントの故障による正常な劣化に関連するメトリック、製品寿命 (コンポーネントの可用性)

6. ヘテロジニアスインテグレーションとは

(2D、2.1D、2.5D、および 3D ヘテロジニアスインテグレーションの定義を参照して、他の HIR 章を参照してください)。

図 6-1 は、3次元 IC の分類を示しており、ウェハ間、ダイ間、モノリシックデバイス間での異種インテグレーションのレベルを比較しています。A&D コミュニティ内では、さまざまなテクノロジーノードのロジックインテグレーション度の高さと CMOS IC のミキシング/マッチングの利点が非常に魅力的です。

A&D コンポーネントとサブシステムは、すべてのレベルでのヘテロジニアスインテグレーションの明確な利点から恩恵を受けることができます。この章では、多くの 2D および 2.1D インテグレーションおよびソリューションがすでに広く使用されているため、2.5D インテグレーションに焦点を当てています。チップとワイヤのアセンブリは標準プロセスです。ウェハウエハレベルおよびファンアウトパッケージは、大量生産アプリケーションや小型化には魅力的ですが、高性能で過酷な環境には不十分な場合があります。高帯域幅メモリ (HBM) や、有機基板またはシリコンインターポザーにデバイスを積層したその他のアプリケーションに代表される 2.5D テクノロジーは、このアプローチにより、従来のテクノロジービルディングブロック

を活用しながら、より高いパフォーマンスと高密度のインテグレーションが可能になるため、A&Dにとって魅力的です。

多くの点で、A&D ユーザーには HPC ユースケースと同様のニーズがあります。したがって、A&D ユーザーは、HPC エコシステムの機能とサプライチェーンパートナーを活用することをお勧めします (図 6-2)。

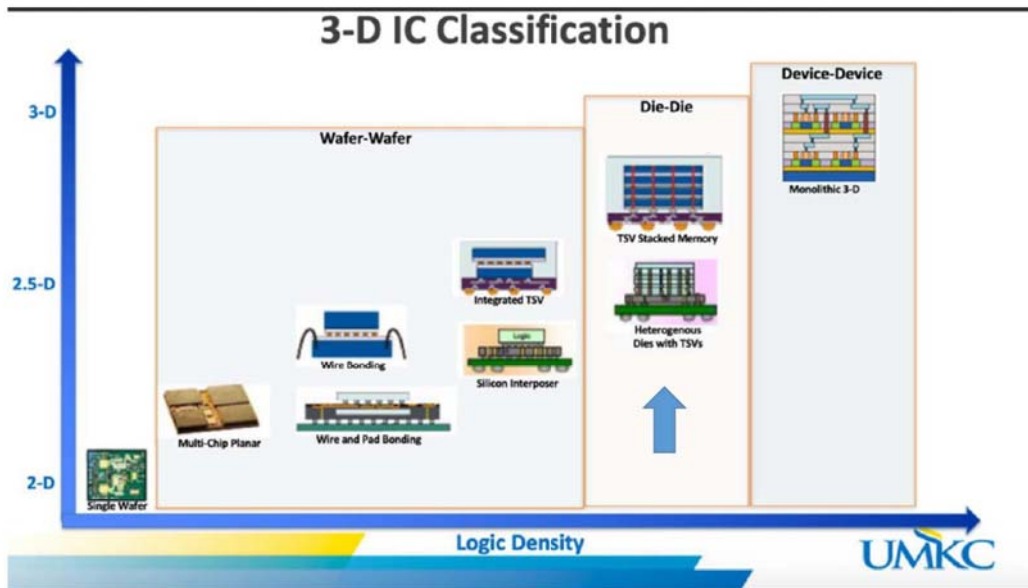


Figure 6-1. 2.5D Heterogeneous Integration is the main focus of this A&D chapter

“2.5D” and 3DIC hitting the mainstream: “3D-SIC”

	3D-SIC	
3D-Wiring level	Global	Sem
Partitioning	Die	blo
3D Technology	Die stacking Die-to-Wafer stacks Die-to-Si-interposer	Par

“It may prove to be more economical to build large systems out of smaller functions, which are separately packaged and interconnected”
- Gordon Moore, 1965

Wafer-to-Wafer bonding Active layer bonding or deposition

E. Beyne, IEEE Design & Test, May/June 2016

Design and package overhead are offset by increased die per wafer and higher yield.

© Arm 2017 arm

Figure 6-2. “2.5D” and 3DIC are widely used by high performance computing

7. 2.5Dヘテロジニアスインテグレーションの進捗

2.5D テクノロジーを介したヘテロジニアスインテグレーションは、ザイリンクス、Intel、Nvidia、AMD などの業界リーダーが主要製品で使用することで、主流の状態に近づいています。ザイリンクスが先駆的な FPGA 「スライス」で行ったように、より小さなチップで歩留まりを改善するか、異なるタイプのデバイスのインテグレーションを可能にするかどうか、シリコン機能を分割する利点を特定しました。要約すると：

- チップレット（より小さなシリコン）により、シリコンアーキテクトはより強力なプロセッサをより迅速に出荷できます。¹⁹
- モジュール化により、システム全体に新しい複雑な SoC 設計を実装する代わりに、短いデータ相互接続によってリンクされた異なるチップレットを組み合わせて、市場投入までの時間を短縮できます。
- 2.5D は、新しい IC 設計にインテグレーションされるのではなく、インターポザーで組み立てられた再利用 IP ブロックで設計の大部分を構成することにより、設計コストとリスクを削減できます。

注目すべき業界リーダーはこの傾向を認識しています。AMD のマーク・ペーパーマスターは、「業界全体がこの方向に向かっていると思います。」同様に、Intel の技術者も同じことを理解しています。Intel のシニアプリンシパルエンジニアである Ramune Nagisetty は、「ムーアの法則の進化」と呼んでいます。

DARPA は、図 7-1 および図 7-2 に示すように、多くのプログラムを通じて異機種インテグレーションテクノロジーの進歩をリードしてきました。DARPA&DAHI プログラムは、ダイとウェハおよびウェハとウェハの両方のボンディング技術により、CMOS デバイスと高性能 III-V デバイスをインテグレーションするための 2.5D HI の実現可能性を実証しました。DARPA CHIPS プログラム（現在も継続中）は、2.5D チップレットエコシステムと、チップレット間通信のための一連の標準インターフェイスを開発しています。

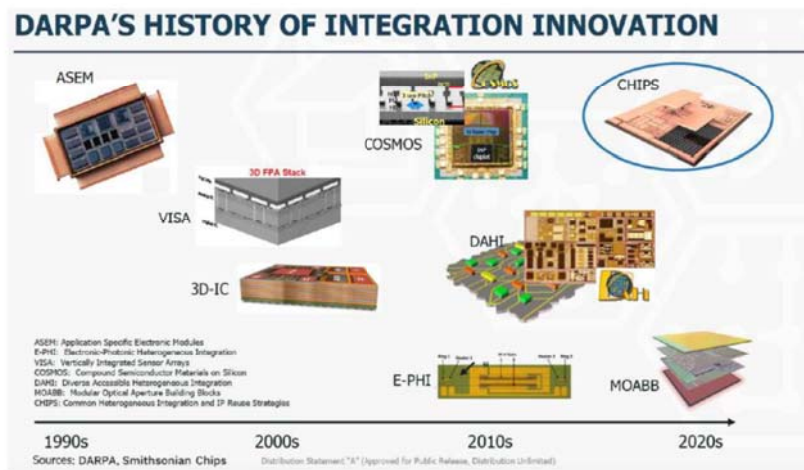


Figure 7-1. DARPA's history of integration innovation

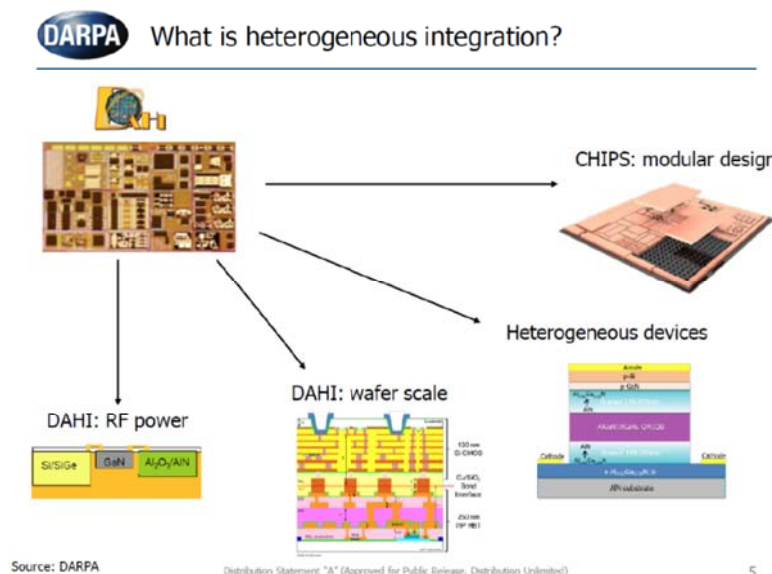


Figure 7-2. DARPA heterogeneous integration²⁰

¹⁹ Found at <https://www.wired.com/story/keep-pace-moores-law-chipmakers-turn-chiplets/>

²⁰ Daniel Green, "DARPA's CHIPS Program and Making Heterogeneous Integration Common," 3D-ASIP 2017, 6 December 2017

7.1 DARPA&DAHI プログラム

ダニエル・グリーンは、DARPA でのヘテロジニアスインテグレーションの進捗と展望について報告し、多くのプログラムの進捗状況を要約しました。²¹

多様なアクセス可能なヘテロジニアスインテグレーション (DAHI)²²ファウンドリテクノロジープログラムは、共通のシリコン基板の複雑なシリコン(e.g., CMOS)対応アーキテクチャを備えたさまざまな材料とデバイス (例えば、複数の電子機器や MEMS 技術を含む) のデバイスレベルのヘテロジニアスインテグレーションのためのアクセス可能な製造可能なテクノロジーを確立するために設計されました。このプログラムは、DAHI テクノロジーのアクセシブルなファウンドリプロセスと、ヘテロジニアスインテグレーションを活用する革新的なアーキテクチャと設計を備えた高度なマイクロシステムのデモンストレーションで頂点に達しました。回路設計者は、共通のシリコン基板のさまざまなデバイスと材料を「ミックスアンドマッチ」できるようにすることで、設計内の各機能に最適なデバイスを選択できます。このインテグレーションにより、DoD システムは、単一のチップ上に近接してインテグレーションされたさまざまなデバイスと材料の利点を提供し、デバイス間の物理的な分離によるパフォーマンスの制限を最小限に抑えます。

主要な結果の一部は、以下の図 7-3、7-4、7-5、7-6、および 7-7 に要約されています。このプログラムは、モノリシック実装では不可能だった機能を実証しながら、その過程で設計、製造、および組み立てにおけるいくつかの課題を明らかにしました。DAHI プログラムは、DARPA および DoD でのヘテロジニアスインテグレーションのベースラインとして機能しました。

DARPA DAHI simplicity enables rapid evolution

Technology	MPW0	MPW1	MPW2	MPW3	Future MPWs
CMOS	IBM 65nm	GF 45 nm	GF 45 nm	GF 45 nm	GF 45 nm
InP HBT	TF4 (2 metals)	TF4 (3 metals)	TF4 (4 metals)	TF4 (4 metals)	TF4 (4 metals)
		TF5 (3 metals)	TF5 (4 metals)	TF5 (4 metals)	TF5 (4 metals)
InP Varactor Diode					AD1
GaN HEMT	GaN20	GaN20	GaN20	GaN20	GaN20
	T3 (HRL)	T3 (HRL)	T3 (HRL)	T3 (HRL)	T3 (HRL)
GaAs HEMT				P3K6	P3K6
Passive Components		PolyStrata (Nuvotronics)	PolyStrata (Nuvotronics)	PolyStrata (Nuvotronics)	PolyStrata (Nuvotronics)
Base Substrate	CMOS	CMOS	CMOS	CMOS	CMOS
				SiC Interposer (IWP5)	SiC Interposer (IWP5)

Sources: DARPA, Northrop Grumman

Distribution Statement "A" (Approved for Public Release, Distribution Unlimited)

8

Figure 7-3. DAHI demonstrates CMOS to III-V IC integration using 2.5D techniques

²¹ Daniel Green, "Progress and Prospects of Heterogeneous Integration at DARPA," found at <http://www.meptec.org/Resources/6%20-%20Green.pdf>

²² DARPA&DAHI Program: <https://www.darpa.mil/program/dahi-foundry-technology>

DARPA DAHI snapshot:
Excellent yield, demonstrated RF performance

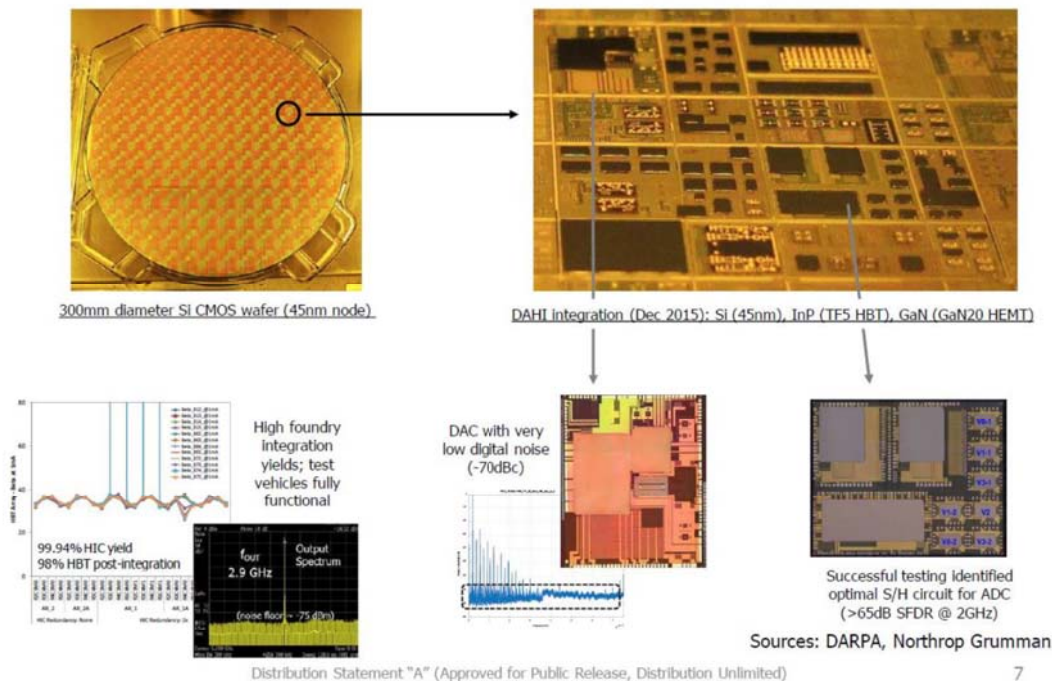


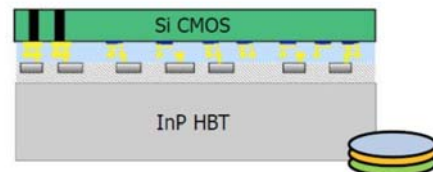
Figure 7-4. DARPA&DAHI technologies A&Ddressed high-performance RF performance and integration of CMOS digital functions

DARPA DAHI chip-scale phased arrays

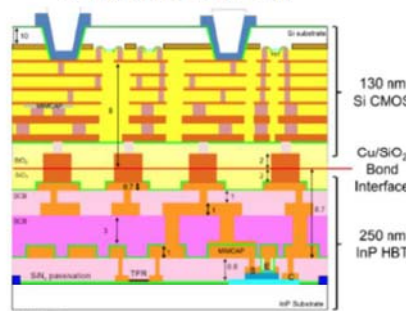
**Heterogeneous integration for mm-wave:
Phased array beamformers**

- Can maintain $\lambda/2$ channel spacing as frequencies increase
- CMOS control circuitry closely integrated with RF chain
- Improved channel performance and efficiency with addition of III-V devices
- Fully integrated beamformer channels demonstrated with integrated InP devices and Si control electronics
- >100mW Pout Tx channel, 4.5 dB NF Rx

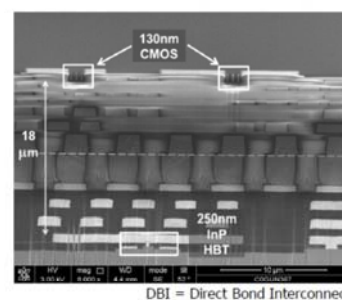
Wafer-level heterogeneous integration



Integration schematic



InP/CMOS with DBI Process



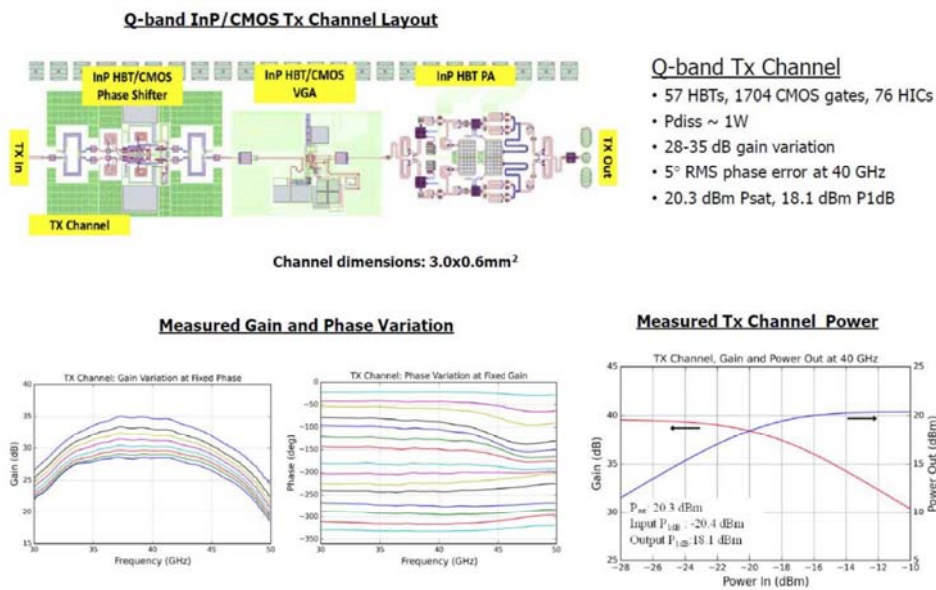
Source: Teledyne

Distribution Statement "A" (Approved for Public Release, Distribution Unlimited)

11

Figure 7-5. DARPA&DAHI used DBI process to achieve transistor-level integration with Si CMOS and InP HBT devices

DARPA DAHI InP/CMOS beamformer performance



Source: Teledyne

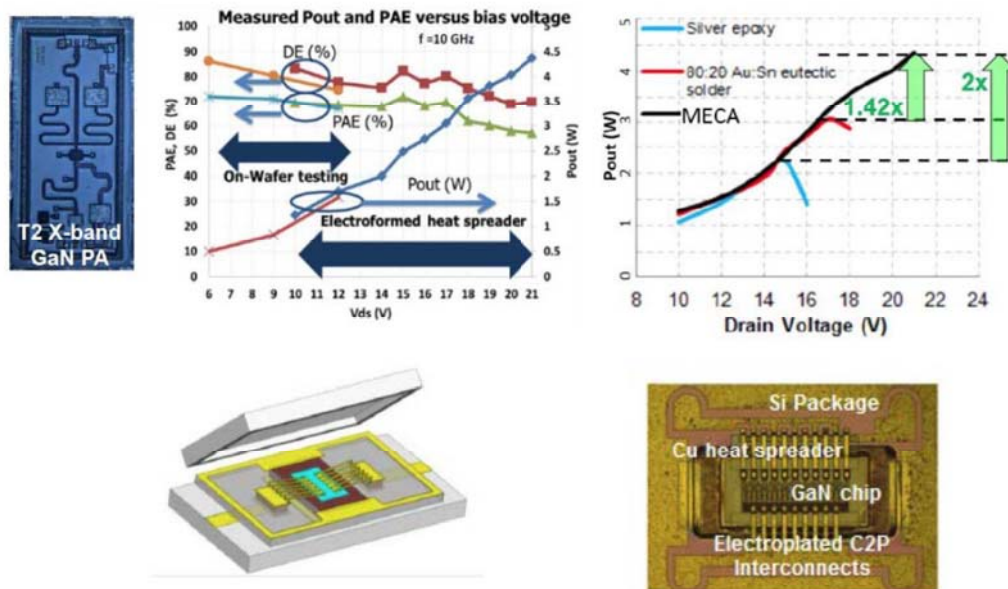
Distribution Statement "A" (Approved for Public Release, Distribution Unlimited)

12

Figure 7-6. DARPA&DAHI demonstrated optimum millimeter-wave transmit capability through matching the best transistor for each RF function

DARPA MECA-enabled performance upgrade

Integration in electroformed heat spreader: 1.4-2x improvement in PA performance



Source: HRL

Distribution Statement "A" (Approved for Public Release, Distribution Unlimited)

10

Figure 7-7. DARPA's DAHI program demonstrated successful integration of high-performance III-V device technologies with CMOS.

7.2 DARPA CHIPS プログラム

DARPA CHIPS プログラムの目標は次のとおりです²³ :

- 共通のインターフェイス標準を確立して実証する
- これらの確立された標準で構築されたモジュラーIP ブロックからのシステムのアセンブリを可能にします
- 迅速な設計の反復により、モジュラーIP ブロックの再利用性を実証します。

チップレットは、機能的で検証済みのモジュール式の再利用可能な物理 IP ブロックです。 プロセッサ、コンバータ、メモリ、波形ジェネレータ、アクセラレータ、フィルタなどがあります。

プログラムの最初の 12 ヶ月での大きな成果は、低電力の DeI to DeI 電気インターフェイスとして Intel の Advanced Interface Bus (AIB) を採用したことです。 AIB は、制御信号用にレーンあたり 1 Gbps の SDR 転送速度、データ用に 2 Gbps の DDR 転送速度を提供します。

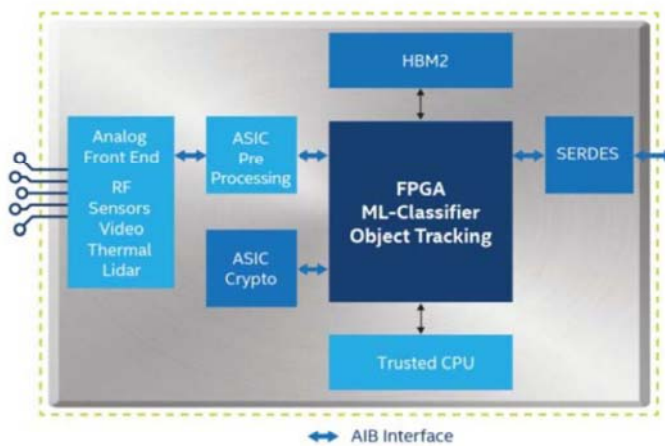


Figure 7-8. Example of CHIPS-inspired SiP that includes sensors, ASIC, FPGA, CPU, Memory and I/O using AIB Interface (Intel)

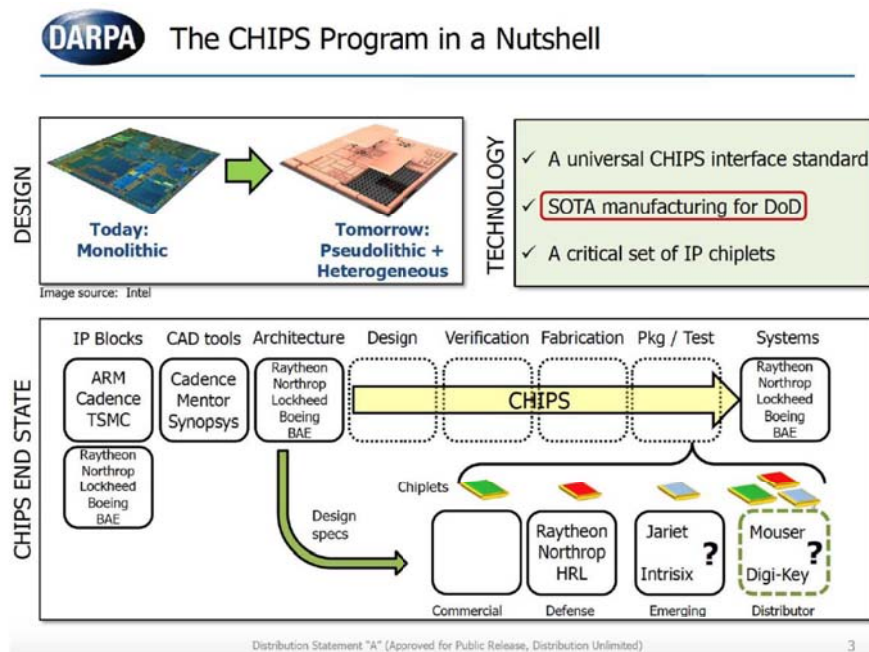


Figure 7-9. DARPA CHIPS program objectives to foster a chiplet ecosystem

²³ <https://www.3dincites.com/2018/10/iftle-396-darpa-envisions-chips-as-new-approach-to-chip-design-and-manufacturing/>

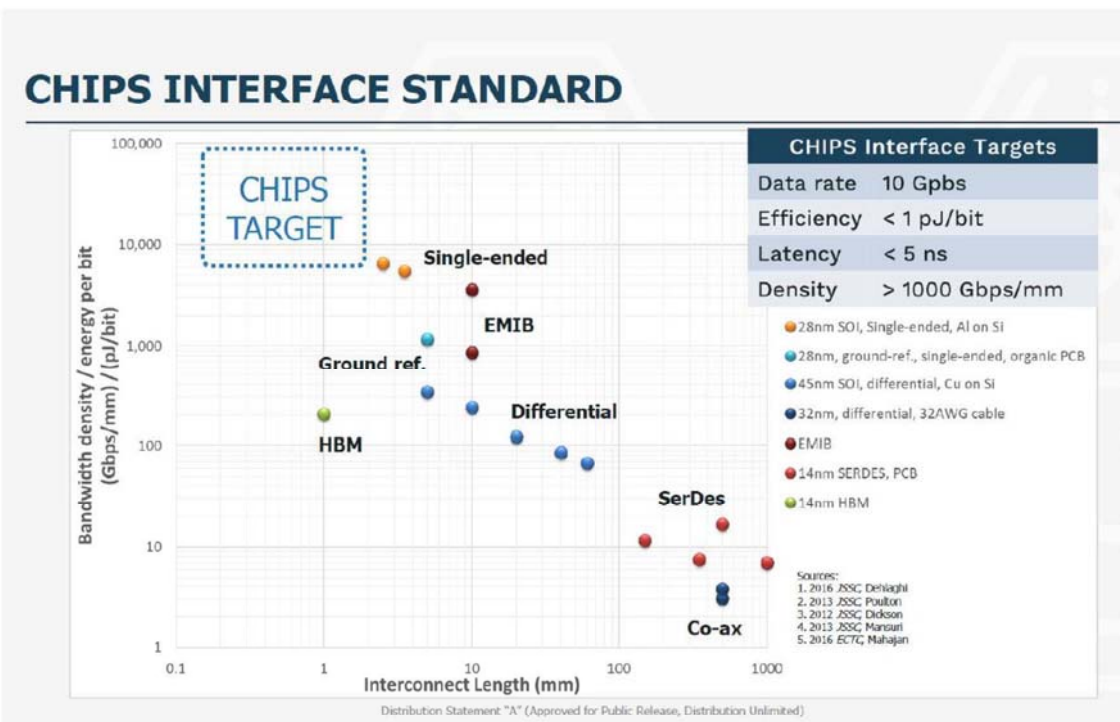


Figure 7-10. CHIPS Interface Standards – ERI Summit



CHIPS Program - Metrics

CHIPS Program Metrics			
Metric	Phase 1	Phase 2	Phase 3
Design level			
IP reuse (1)	> 50% public IP blocks	> 50% public IP blocks	> 50% public IP blocks
Modular design (2)	—		> 80% reused, > 50% prefabricated IP
Access to IP (3)	> 2 sources of IP	> 2 sources of IP	> 3 sources of IP
Heterogeneous integration (4)	> 2 technologies	> 2 technologies	> 3 technologies
NRE reduction (5)	—	> 50%	>70%
Turnaround time reduction (5)	—	> 50%	>70%
Performance Benchmarks (performer defined)	—	>95% benchmark	>100% benchmark
Digital Interfaces			
Data rate (scalable) (6)	10 Gbps	10 Gbps	10 Gbps
Energy efficiency (7)	< 1 pJ/bit	< 1 pJ/bit	< 1 pJ/bit
Latency (7)	≤ 5 nsec	≤ 5 nsec	≤ 5 nsec
Bandwidth density	> 1000 Gbps/mm	> 1000 Gbps/mm	> 1000 Gbps/mm
Analog interfaces			
Insertion loss (across full bandwidth)	< 1 dB	< 1 dB	< 1 dB
Bandwidth	≥ 50 GHz	≥ 50 GHz	≥ 50 GHz
Power Handling	≥ 20 dBm	≥ 20 dBm	≥ 20 dBm

Notes:

1. Public IP is defined as IP blocks available through commercial vendors or shared among performers.
2. Reuse is defined as existing or previously designed IP that is re-implemented into the current system. Prefabricated IP is defined as IP blocks already physically instantiated.
3. Valid sources of IP must be those that are outside of the performer team.
4. Various Silicon process nodes, RF passives, or compound semiconductor devices.
5. The non-recurring engineering (NRE) cost and turnaround time will be compared against a benchmark design.
6. Minimum bus/lane data rate and should be capable of scaling to higher data rates.
7. Performance relating to transferring data between chiplets compared against a benchmark design.

Distribution Statement "A" (Approved for Public Release, Distribution Unlimited)

Figure 7-11. DARPA CHIPS interface metrics

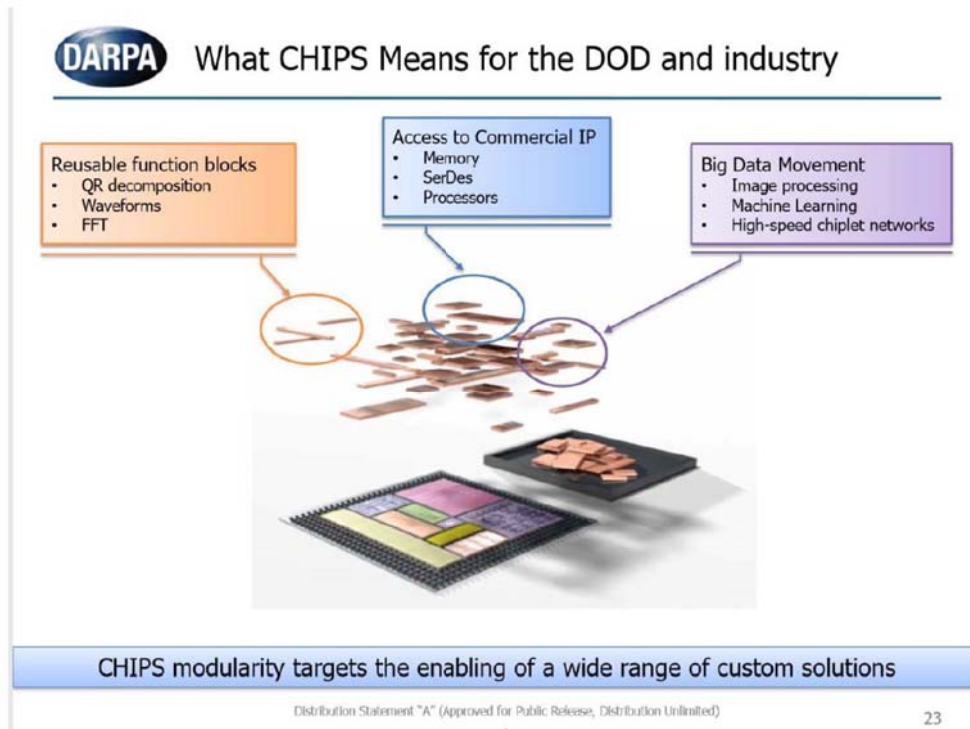


Figure 7-12. CHIPS modularity supports IP-re-use and access to high-speed data movement

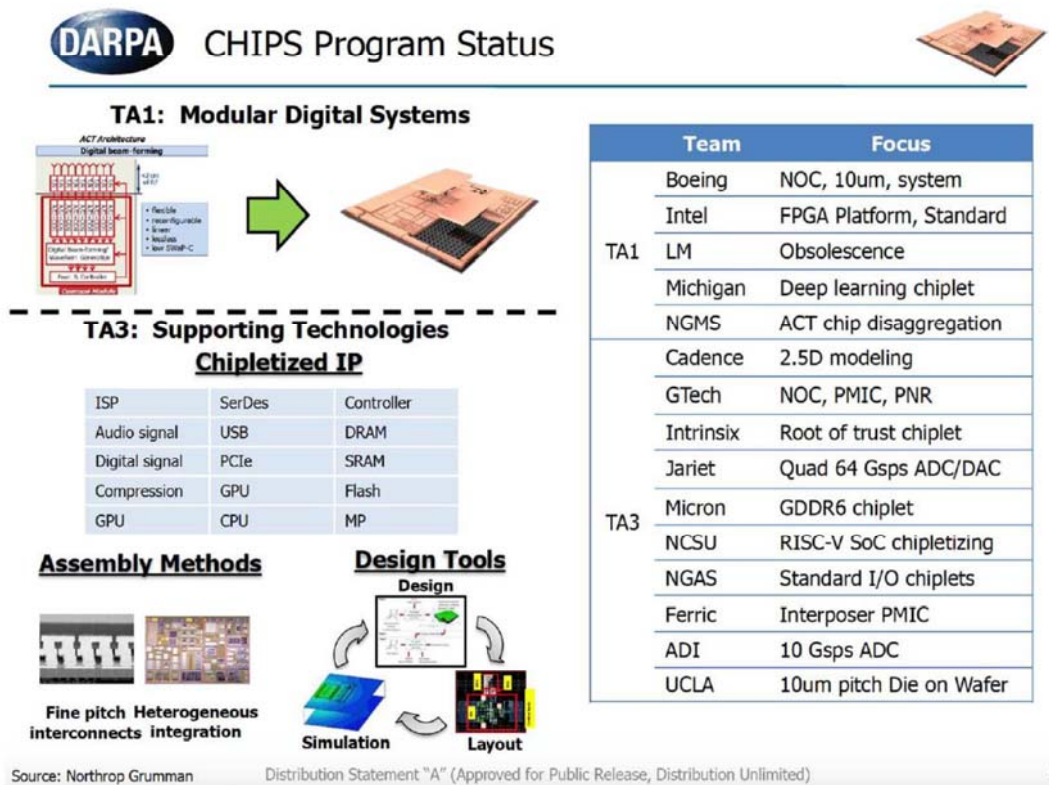
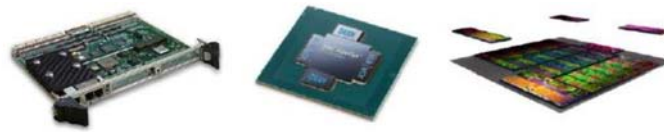


Figure 7-13. CHIPS program status

DARPA Constraints



	System Design	HI	Moore's Law
Energy Efficiency	10pj/bit	1pj/bit	0.1pj/bit
Interface Area	Large	Medium	Tiny
Chiplets per package	10's	2+	10-1000
Design Area	>>Reticle	>Reticle	Reticle
Latency	High	Medium	Low
Bandwidth	Low	Medium	High
Solution Cost	High	Medium	Low
NRE Cost	Low	Medium	High

Image source: Intel

Distribution Statement "A" (Approved for Public Release, Distribution Unlimited)

6

Figure 7-14. CHIPS's objectives are to bridge the gap between board-level and SOC level metrics

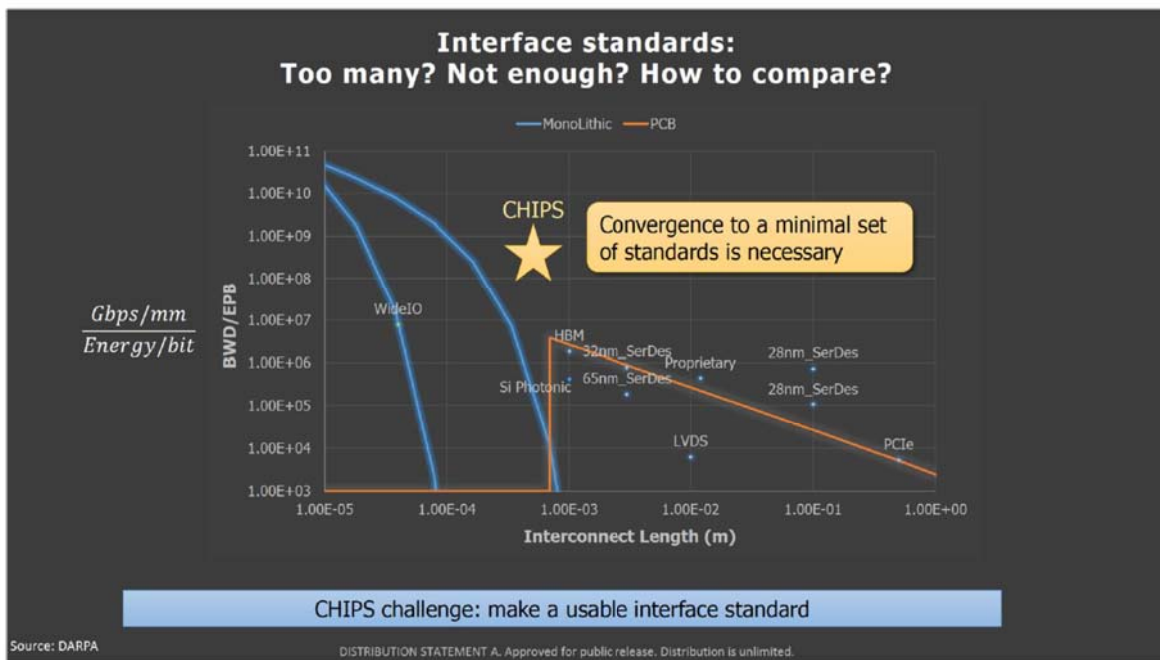


Figure 7-15. CHIPS interface standards will achieve state-of-the-art data bandwidth density at a very low energy/bit

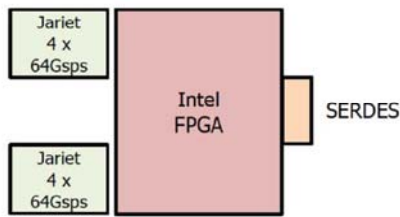
DARPA CHIPS Highlight #1: Heterogeneous Integration



Intel production proven manufacturing



Intel/CHIPS MCM using EMIB Technology with AIB interface standard



Jarriet direct RF sampling at up to 64Gbps, with quad channel 10-bit ADC/DAC IP (existing, lab-proven ACT IP is being reused on CHIPS)

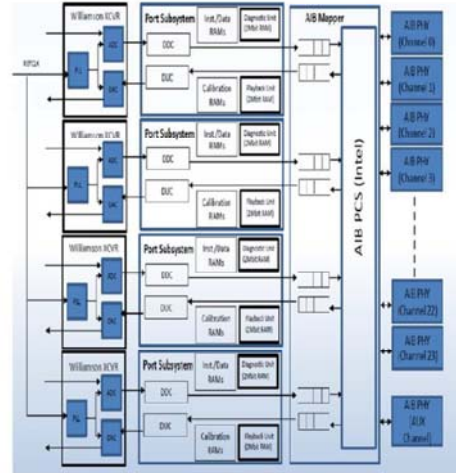


Image source: Intel, Jarriet

Distribution Statement "A" (Approved for Public Release, Distribution Unlimited)

7

Figure 7-16. DARPA CHIPS will demonstrate high-data-rate I/O between an Intel FPGA and data-converters

DARPA CHIPS Highlight #2: 10µm micro-pillar roadmap



UCLA:

- Si IF fabricated Dual Damascene process
- ~370+ dielets assembled (4mm² - 25mm²)
- 10µm pitch (±1 µm alignment; θ < 6m deg)
- 100µm spacing
- >3000mm² total dielet area
- Passivated with Parylene C
- Close collaboration with Kulicke & Soffa

Initial Cu Feasibility Demonstrated June 2018

- Northrop Grumman & Micross demonstrated ultra-fine pitch interconnect required for high-speed, highly parallel interface
- CHIPS is developing options for DoD-scale manufacturing via MPWs, foundry-agnostic processes, die-level processing, domestic interposer sources

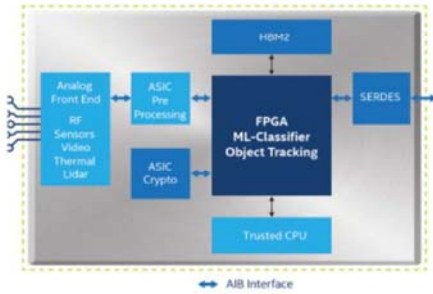
Image source: UCLA, Micross, Northrop

Distribution Statement "A" (Approved for Public Release, Distribution Unlimited)

8

Figure 7-17. DARPA CHIPS Supports R&D for Fine-Pitch Interconnects at 10µm Pitch with 100µm Chiplet to Chiplet Spacing

Chiplet Standardized Interfaces



Intel's Advanced Interface Bus (AIB) is a die-to-die PHY level standard that enables a modular approach to system design with a library of chiplet intellectual property (IP) blocks.

AIB uses a clock forwarded parallel data transfer mechanism similar to DDR DRAM interfaces. AIB is process and packaging technology agnostic—Intel's Embedded Multi-Die Interconnect Bridge (EMIB) or TSMC's CoWoS* for example.

Intel now provides the AIB interface license royalty-free to enable a broad ecosystem of chiplets, design methodologies or service providers, foundries, packaging, and system vendors.

- AIB was supported by the DARPA CHIPS program.
- AIB specification is now available to the electronics community

Figure: example of a possible heterogeneous system in package (SiP) that combines sensors, proprietary ASIC, FPGA, CPU, Memory and I/O using AIB as the chiplet interface.

Figure 7-18. Intel Advanced Interface Bus (AIB) specification enables modular design²⁴

8. 3Dヘテロジニアスインテグレーション

真の3Dヘテロジニアスインテグレーション（図8-1）は、一度開発されると、相互接続距離が2~5umのモノリシックレベルのデバイス間スペーシングを提供します。重要な技術的課題が依然として存在し、望ましい結果を達成するために克服する必要があります。セクション8.1では、インテグレーションエンベロープをプッシュして、多くのAI/MLアプリケーションに必要な超低遅延および超低電力I/O操作を実証するDARPA 3DSoCプログラムについて説明します。

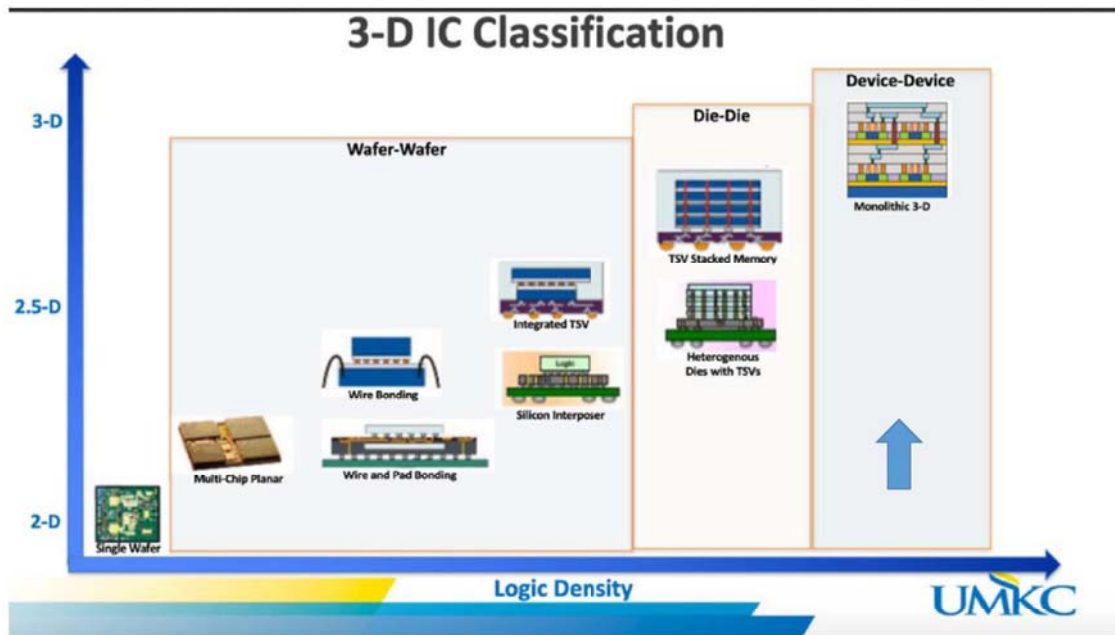


Figure 8-1. 3D integration technology is an active area of research

²⁴ Found at <https://www.intel.com/content/www/us/en/architecture-and-technology/programmable/heterogeneousintegration/overview.html>

8.1 DARPA 3DSoC プログラム

最先端の電子システムにおける一般的な課題は、プロセッサとメモリ間の通信に必要な時間と電力です。この「メモリボトルネック」は、多くの場合、システムパフォーマンスの主な制限です。ヘテロジニアスイнтеグレーションは、プロセッサとメモリデバイスのより緊密なインテグレーションを可能にすることでこの問題に対処し始め、DARPA は最近、ロジック、メモリ、およびシングルダイ上の入力/出力 (I/O) を開始した。このアプローチは、確立されたリソグラフィノードを活用しますが、3D インテグレーションによりパフォーマンスを改善します。図 8-2 は、ムーアの法則に従ってさらに進歩するのではなく、3D インテグレーションによって進歩するこのアプローチを示しています。図 8-3 は、想定される新しいデバイスタイプの 3D インテグレーションの詳細を示しています。

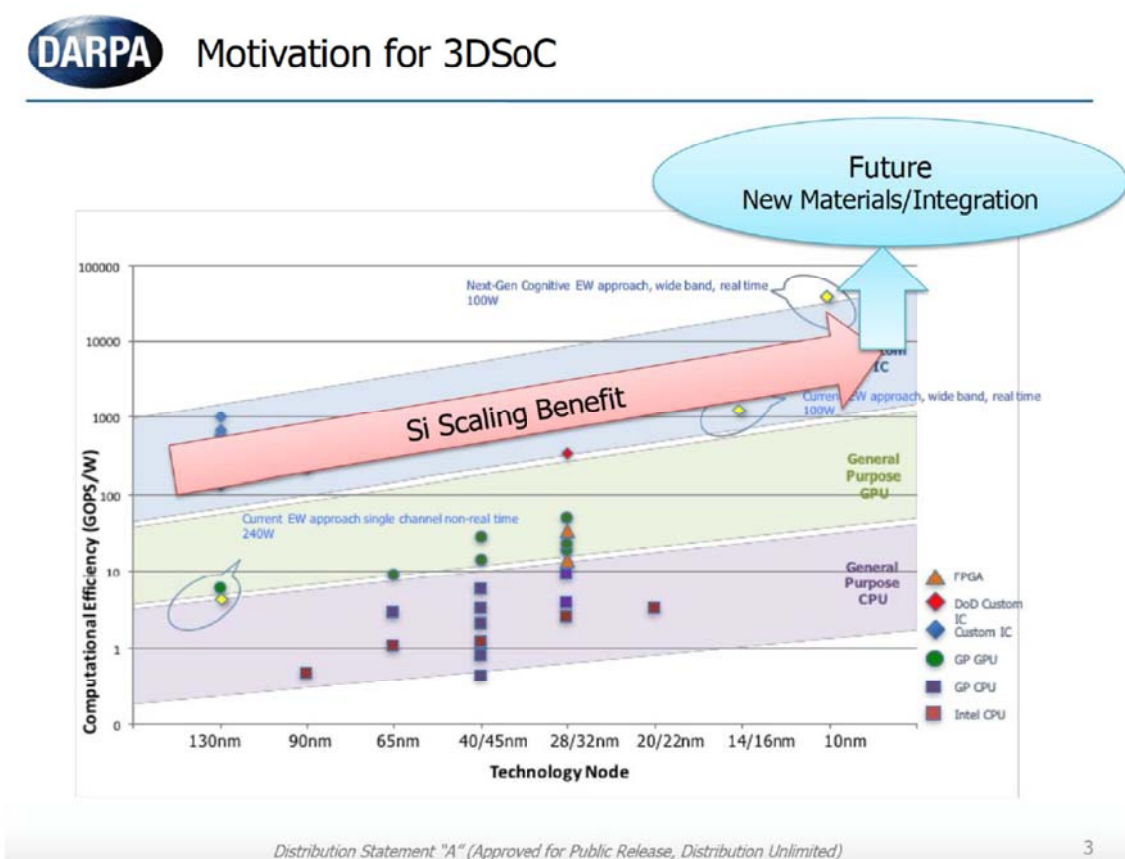
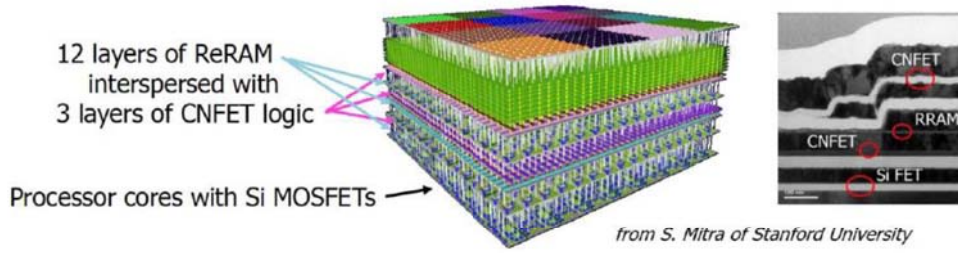


Figure 8.2 The DARPA 3DSoC program attacks the end of Moore’s Law by the reduction of interconnect distances through vertical integration

DARPA An Integrated, Monolithic SoC (3DSoC) Solution

An example of an integrated flow that fabricates 3D logic and memory on a single die



Note: This is an example only. Other technical approaches are expected.

Critical characteristics for a monolithic solution

- Must permit new architectures that leverage fast, configurable access to non-volatile main memory
- Stackable 3D logic and memory functions that allow new architectures
 - Low temperature formation
 - Logic AND memory
 - High density of memory – at least 4GB (Giga-Byte)/die
- Possible to fabricate in existing domestic, commercial, high-yielding infrastructure
 - 90nm on 200mm wafers
 - High yield on large SoCs

Distribution Statement "A" (Approved for Public Release, Distribution Unlimited)

6

Figure 8-3. DARPA 3DSoC will demonstrate the tight integration of CNFET logic with ReRAM to have similar performance of FinFETs while using 90nm fabrication line

9. 今後5～10年の見通し

9.1 DARPA CHIPS 2.0 (3～5年)

DARPA CHIPS は現在、DoD ユーザー向けの設計および製造用チップレットエコシステムの育成を模索しています。図 9-1 および 9-2 は、CHIPS プログラムのフェーズ 1 での調査結果に基づくシリコンインターポザーの要件を示しています。進捗状況に応じて、A&D 章が結果で更新されます。

DARPA CHIPS Manufacturing Wishlist

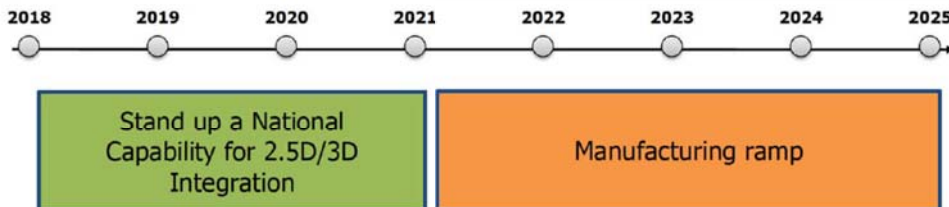
		Target Value
Dense Interconnect	Metallization material	Copper
	Front end metal layers	4 – 6
	Front end metal wiring density	~0.5 μm line/space
	Size (full reticle)	26 x 33 mm ²
	Stitching (strongly desired)	6" x 6"?
TSVs	Depth	100-200 μm
	Diameter	25 μm
	Pitch	150 μm
Assembly	Back side bump pitch	150 μm C4
	Back side RDL	Needed, C4 on via?
	Front end bump pitch	55 μm Cu (10 μm roadmap)
	Chiplets supported	7nm to 180nm
	Chiplets assembled	2 - 100

Distribution Statement "A" (Approved for Public Release, Distribution Unlimited)

13

Figure 9-1. CHIPS wishlist for chiplet ecosystem

DARPA Potential Engagement Path



- Commercial **on-shore** manufacturing
 - (See previous slide)
 - Si interposer w/ TSVs
 - Organic package substrates
 - Copper bumping (<=55 μm)
 - C4 bumping (150 μm)
 - 2.5D assembly
 - 3D assembly
 - Flip Chip Assembly
 - SOTA automation
- Assemble all silicon sources!
- Turnkey model
- "MOSIS for 2.5D"
- Agile PDK development
- Yield ramping
- Manufacturing cost optimization
- NPI cost optimization "zero" target
- Long Term Goals:
 - ~\$20 turnkey packaging cost
 - 2 week assembly turn
 - Standard fab turns
 - Zero email order

Distribution Statement "A" (Approved for Public Release, Distribution Unlimited)

14

Figure 9-2. timeline for CHIPS 2.0 vision

9.2 モジュラーシングルウェハー製造 (5~10年)

日本での最近の研究では、半導体、MEMS、およびその他のマイクロデバイスの多品種少量生産を可能にする将来のソリューションを提供する可能性のある「ミニマルファブ」と呼ばれるコンセプトを開発しています。

~~TOKYO Semiconductor~~のスタートアップNEITASは、「ミニマルファブ」を使用して20時間で半導体コンポーネントを作成することに成功しました。これは、低い資本支出で1枚のウェハでも製造できるシステムです。ブレークスルーは、愛知県豊橋市の豊橋技術科学大学と共同で確認されました。~~同社は、2020年までに100億円(8,840万ドル)の売り上げを達成することを目指して、沖縄に年内に契約製造工場を設立する予定です。~~

ミニマルファブは、茨城県つくば市にある産業技術総合研究所(AIST)で誕生しました。直径わずか12.5mm(0.5インチ)の小さなウェハを使用して半導体を製造できます。

ミニマルファブはコストを抑えます。既存の製造システムでは、ウェハ上に回路を形成するマスクとして知られる回路ネガは高価です。ただし、ミニマルファブでは不要です。回路は、約100万の小さなミラーを活用して描画されます。処理は機器内の密閉されたスペースで実行されるため、クリーンルームも不要です。

マスクは必要ありません。その結果、直接露光システムには、回路の線幅を微細化するという課題があります。豊橋大学株式会社ピーエムティーで開発されたマスクレス技術を使用して、この装置は0.8ミクロンの寸法をパターンニングできます。これはCMOS FEOL(Front End of Line)にとってはかなり粗いものですが、これはBEOL(Back End of Line)の線幅にとって適切な範囲なので、最先端のリソグラフィーツールは必要ありません。



Figure 9-3. Minimal modular wafer fabrication technology

「SEMICON Japan 2017」²⁵で、ミニマルファブは、ウェハ洗浄用の自己完結型処理機能と、0.5インチという小さなウェハの露光装置を展示しました。ミニマルシャトルコンテナを使用して、処理マシン間でウェ

²⁵ <https://www.ewarrantsec.jp/article/%E3%81%8B%E3%81%AE%E3%81%86%E3%81%A1%E3%81%82%E3%82%84%E3%81%93%E3%81%AE%E3%80%8Csemicon-japan-2017%E3%80%8D%E3%83%AC%E3%83%9D%E3%83%BC%E3%83%88/>

ハを搬送します。このタイプの機器は小ロット生産に適しており、資本コストを大幅に削減した研究開発に役立ちます。 ミニマルファブは、ディスコ、石井工作研究所、Apic Yamadaなどと協力して、ミニマル機器のエコシステムを構築しています。 横河ソリューションサービス²⁶は、さまざまなメーカーのさまざまな機器を注文および販売するための窓口として機能します。²⁷

Yokogawa list suitable tools for the customer requirement.

Yokogawa provide the solution using the extensive experience of both Minimal tools and conventional one.

HYBRID PROCESS

Yokogawa propose to apply conventional tools by setting the wafer on the adaptor to compensate the lack of tools of minimal fab.

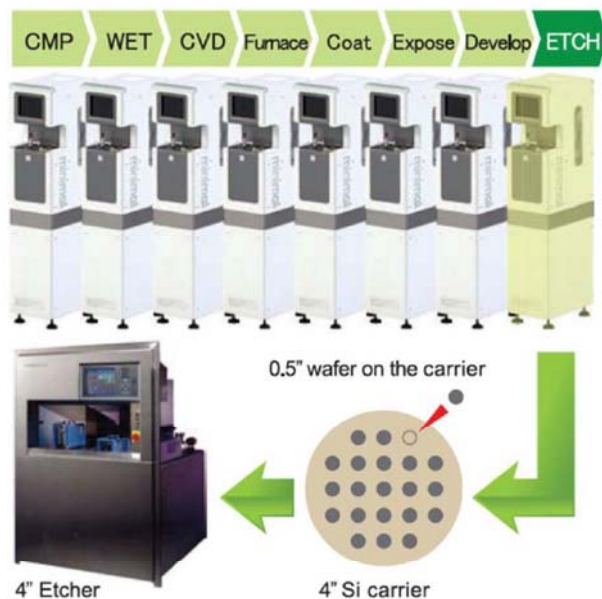


Figure 9-4. Minimal Fab's approach to low-volume semiconductor fabrication without clean-room

10. DARPA Electronics Resurgence Initiative (ERI)

2018年、DARPAのマイクロシステムテクノロジーオフィス（MTO）は、Electronics Resurgence Initiative（ERI：、エレクトロニクス復活イニシアティブ）を立ち上げました。²⁸

- 今日の重要な国防総省（DOD）システムおよびプラットフォームは、国家のセキュリティ目標に対応するために高度な電子機器に依存しています。
- 半世紀にわたる電子機器の進歩が直面する障害に取り組むため、DARPAはElectronics Resurgence Initiative（ERI）を開始しました。これは、5年間、国内の電子システムの将来に対する15億米ドル以上の投資です。

図10-1は、DARPA CHIPSおよび3DSOCプログラムをサポートするERIマテリアルの柱を示しています。両方のプログラムは、今後2～3年にわたって継続される予定です。2019年に開始されるPIPESプログラムは、フォトニックICデバイスとCMOSのヘテロジニアスインテグレーションをサポートします。

²⁶ <https://www.yokogawa.com/yjp/biz/semi/minimal-fab.htm?nid=left>

²⁷ <https://ectimes.jp/ee/articles/1712/18/news033.html>

²⁸ <https://www.darpa.mil/news-events/electronics-resurgence-initiative-summit>

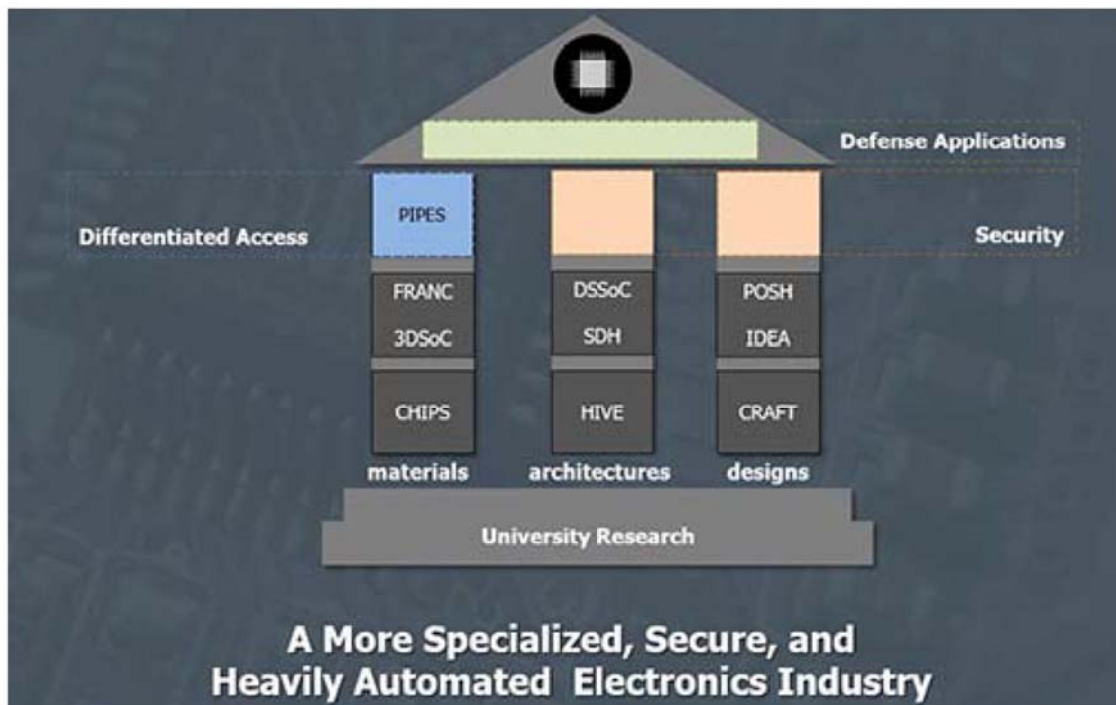
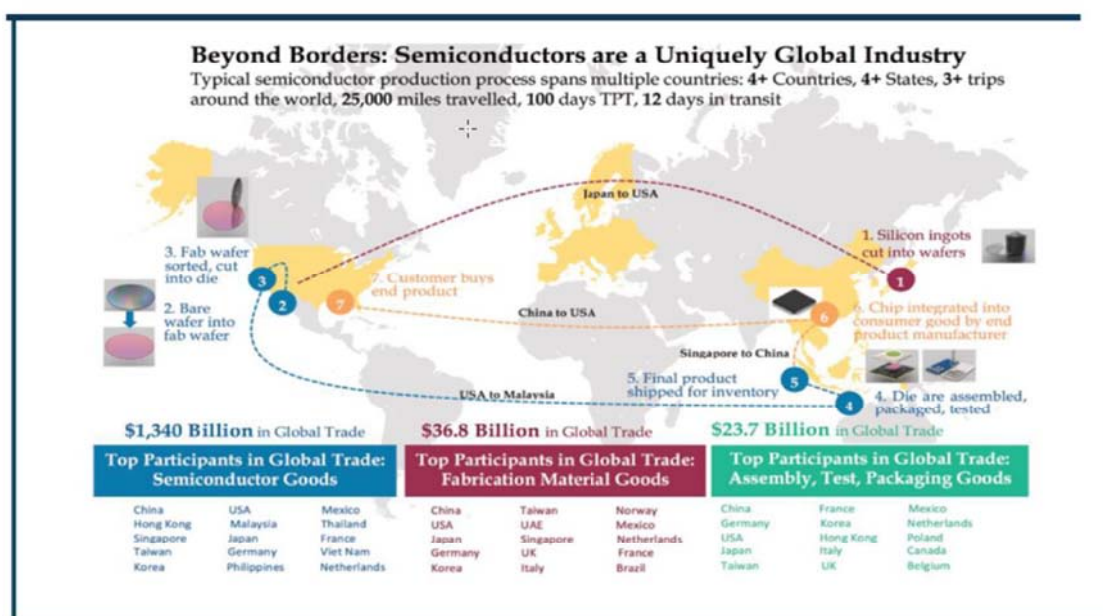


Figure 10-1. DARPA Electronics Resurgence Initiative

11. サプライチェーン

12.1 国際サプライチェーン

NDIA Trusted Microelectronics チーム 1 のレポートは次のように尋ねています。「サプライチェーンの複雑さの増大：脆弱で妥協の対象となる複雑なばらばらのサプライチェーンを通じて、商業的に利用可能な能力（SOTA 設計に関係する複雑なグローバルインフラストラクチャ、ファブ、IP、パッケージング、テストなど）が急速に増大しています。 どうすれば安全に利用できますか？」²⁹



²⁹ <http://www.ndia.org/-/media/sites/ndiA&Divisions/working-groups/tmjwg-documents/ndia-tm-jwg-team-1-white-paperfinalv3.ashx?la=en>

Figure 11-1. IC manufacturing in a globalized independent supply chain³⁰

- アジアに集中するファウンドリ
- 中国人プレーヤーの成長
- リーダーの間でますますインテグレーションされる

ここでも重要な課題と懸念としてアクセスを繰り返す必要があります。信頼できるコンポーネントへのアクセスはすでに重要な関心事であると理解されていますが、より大きなグローバルなエレクトロニクス産業基盤から必要な部品への簡単なアクセスはさらに大きな関心事です。図 11-2 は、この懸念を説明し、現在および将来の DoD システムのコンポーネントへの継続的な確実なアクセスというより大きな戦略的問題を真剣に受け止める必要性を強調しています。

マイクロエレクトロニクス企業のグローバル化とインテグレーションは、防衛市場内のニーズではなく、商業市場の需要によって推進されるため、これは大きな懸念事項です。DoD が世界で最も強力な防衛およびインテリジェンスコミュニティを維持するには、高度なマイクロエレクトロニクスコンポーネントへの継続的な確実なアクセスを実現することが不可欠です。首尾一貫した国家戦略がなければ、米国政府は主要なシステムを保護する能力を失うリスクがあり、米国のマイクロエレクトロニクス産業はこの重要な市場でのリーダーシップの役割を失うことになる。

Major 2017 Foundries (Pure-Play and IDM)

2017 Rank	2016 Rank	Company	Foundry Type	Location	2015 Sales (\$M)	2016 Sales (\$M)	2016/2015 Change (%)	2017 Sales (\$M)	2017/2016 Change (%)
1	1	TSMC	Pure-Play	Taiwan	26,574	29,488	11%	32,163	9%
2	2	GlobalFoundries	Pure-Play	U.S.	5,019	5,495	9%	6,060	10%
3	3	UMC	Pure-Play	Taiwan	4,464	4,582	3%	4,898	7%
4	4	Samsung	IDM	South Korea	2,670	4,410	65%	4,600	4%
5	5	SMIC	Pure-Play	China	2,236	2,914	30%	3,101	6%
6	6	Powerchip	Pure-Play	Taiwan	1,268	1,275	1%	1,498	17%
7	8	Huahong Group*	Pure-Play	China	971	1,184	22%	1,395	18%
8	7	TowerJazz	Pure-Play	Israel	961	1,250	30%	1,388	11%
—	—	Top 8 Total	—	—	44,163	50,598	15%	55,103	9%
—	—	Top 8 Share	—	—	87%	88%	—	88%	—
—	—	Other Foundry	—	—	6,597	7,112	8%	7,207	1%
—	—	Total Foundry	—	—	50,760	57,710	14%	62,310	8%

*Includes Huahong Grace and Shanghai Huali.

Source: IC Insights, company reports

Figure 11-2. Changing foundry landscape

³⁰ Found at <http://www.businessdefense.gov/Portals/51/Documents/Resources/2016%20AIC%20RTC%2006-27-17%20-%20Public%20Release.pdf?ver=2017-06-30-144825-160>

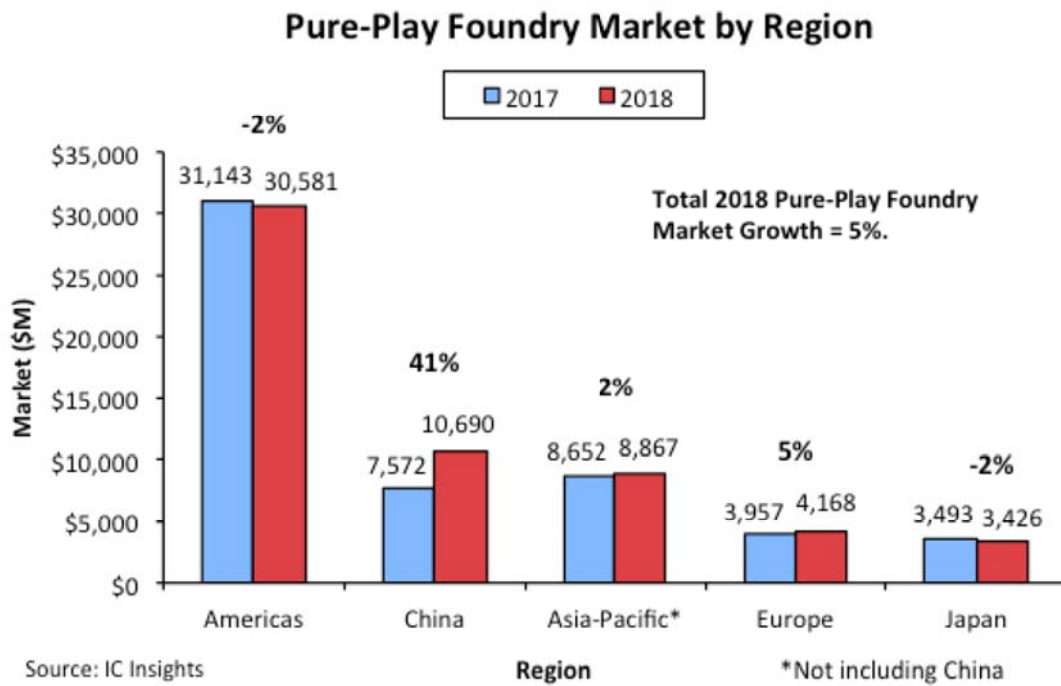


Figure 11-3. Nearly all foundry growth in 2018 driven by customers in China

Ranking	Name	2017 (estimated)	2016	Growth
1	ASE	5215	4896	6,5%
2	Amkor Technology	4055	3894	4,1%
3	JCET	3256	2874	13,3%
4	SPIL	2679	2626	2,0%
5	PTI	1999	1499	33,4%
6	TSHT	1055	823	28,2%
7	TFME	913	689	32,5%
8	KYEC	674	623	8,2%
9	UTAG Group	673	689	-2,3%
10	ChipMOS	600	568	2,4%

Figure 11-4. OSAT companies ranking 2017 (millions of US\$)³¹

13. HIR航空宇宙防衛TWGチーム

Name	Affiliation	Role
Tim Lee	Boeing	Co-chair
Jeff Demmin	Booz Allen Hamilton	Co-chair
Tom Kazior	Raytheon	Member
Dan Blass	Lockheed Martin	Member

³¹ Found at <https://anysilicon.com/osat-companies-ranking-2016-2017/>