



ヘテロジニアスインテグレーション
ロードマップ
2019年度版

第22章: 2Dおよび3Dアーキテクチャ向けの
インターコネク

<http://eps.ieee.org/hir>

HIR は、技術評価のみを目的として考案されており、個々の製品または機器に関連する商業上の考慮事項とは無関係です。

このロードマップでは、元のソースから抜粋した資料および図の使用に感謝します。

図と表は、元のソースの許可を得てのみ再利用する必要があります。



第 22 章 2D および 3D アーキテクチャ向けのインターコネク

エグゼクティブサマリー

オンパッケージインテグレーションへの関心の高まりに伴い、パッケージアーキテクチャとその相互接続機能をシンプルかつ一貫した方法で説明する必要があります。この章には、2 つの主要な目的があります：(a) 2D と 3D³³の両方の構成をカバーし、明確に区別するパッケージアーキテクチャの新しい標準化された命名法を定義し、および普及させること、及び (b) これらのアーキテクチャの物理的な相互接続の進化を促進する主要なメトリックを定義し普及させること。

Key contributors:

Raja Swaminathan (chair)	Ravi Mahajan (chair)	Michael Alfano	Adeel A. Bajwa
Rozalia Beica	Tom DeBonis	Takafumi Fukushima	Paul Franzon
Kanad Ghose	John Hunt	Subramanian Iyer	Steffen Kroehnert
Debendra Mallik	Kaushik Mysore	Kwok Ng	Peter Ramm
Venky Sundaram	Jan Vardaman	Markus Wimplinger	Thom Gregorich
Sam Karikalan	Dave Armstrong		

1. イントロダクション

ムーア則のスケーリングは、シリコンスケーリングと異なる IP の均質な SoC (System on Chip) インテグレーションのためのテンプレートを提供することにより、過去 50 年間マイクロエレクトロニクス業界の成長を加速させてきました。パッケージとマイクロシステムのスケーリングによって可能になった、今後のヘテロジニアスインテグレーションは、ムーア則のスケーリングをますます補完し、改善された機能を提供し続けることが期待されています。現在および新しいパッケージアーキテクチャ (3D アーキテクチャ [1、2] および現在 2.1D、2.3D または 2.5D アーキテクチャとして指定されているアーキテクチャ [3、4、5] を含む) のスケーリングは、マイクロエレクトロニクス産業の成長を維持および強化するための主要な実現要因になると予測されています。これらのアーキテクチャにより、新規のヘテロジニアス SiP (System in Package) インテグレーションが可能になり、コストパフォーマンスが最適化されたマイクロエレクトロニクスシステムに必要な主要な革新を表します。歴史的に、パッケージの主な目的は、ダイの機械的保護と、シリコンフィーチャのスペース変換を提供することでした。過去数十年にわたって、パッケージング技術は、トランジスタのスケーリングを可能にし、SoC インテグレーションをサポートするために、シリコンデバイス用の費用対効果の高いスペーストランスフォーマーとして機能するように拡大しました。パッケージングの革新は、シリコンの消費電力、パフォーマンス、レイテンシへの影響を最小限に抑え、シリコンスケーリングによって可能になるパフォーマンスの機会を最大化することに焦点を合わせてきました。主に均質なインテグレーションのサポートに焦点を当てていますが、半導体パッケージング業界は数十年にわたり、主に市場投入までの時間を短縮し、重要なヘテロジニアスインテグレーションのニーズ (DRAM インテグレーションなど) のために MCP (Multi-Chip Package) を生産しています。今日の業界動向は、多様な機能 (多くの場合、複数の異なるサプライヤのシリコンノード上の異なる IP で実現される) [6] の必要性、改善されたシリコン歩留り、及びヘテロジニアスインテグレーションの継続的なニーズにより、ヘテロジニアスインテグレーションの必要性が高まっていることを示しています。2D および 3D パッケージアーキテクチャは、コンパクトなフォームファクタでコンポーネント間の短い、電力効率の良い、高帯域幅の接続を提供するため、理想的なヘテロジニアスインテグレーション

³³ この章の範囲は、1 つ以上の半導体デバイス間の電氣的相互接続に限定されています。

へのテロジニアスイнтеグレーションプラットフォームです。

へテロジニアスパッケージング技術：

- さまざまな通信プロトコルを採用した、電力効率の高い高帯域幅のオンパッケージ IO リンクを提供。
- 多様なオフパッケージ IO プロトコルを有効。
- シングルエンドおよび差動信号のノイズ分離を実現。
- 増加する冷却需要を管理。
- 複雑な電力供給アーキテクチャをサポート。
- 高性能サーバーから柔軟でウェアラブルな電子機器まで、さまざまなアプリケーション機能に対応。
- さまざまな市場セグメントおよびアプリケーションの広範な信頼性要件に対応。
- 費用対効果の高い、高精度のクイックターンアセンブリを提供。

高度なパッケージングを使用して製品を開発するには、製品アーキテクト、システムアーキテクト、プロセスエンジニア、材料エンジニア、信頼性エンジニアとのコラボレーション、及びさまざまなアーキテクチャの基本的な熱、機械、電気特性の詳細な理解を含むインテグレーションアプローチが必要です。

2. スコープ

このロードマップの章には2つの目的があります。

- 2D 構造と 3D 構造の両方をカバーし、明確に区別するパッケージアーキテクチャの新しい標準化された命名法を定義し、普及させます。現在、2D 構造と 3D 構造の間には、2.xD アーキテクチャと呼ばれる多くの中間的な定義があります。幅広い業界、学界、コンサルタントを代表するこのロードマッピングの専門家は、現在の命名法（2.1D、2.3D、2.5D アーキテクチャなど）に共通の合理的根拠がなく、必要性がないことに同意します。共通の仮定に基づいた包括的な分類フレームワークを提供します。この章の目的は、この明確性を高め、さまざまなアーキテクチャを収容する命名法のフレームワークを提供することです。
- これらのアーキテクチャの物理的な相互接続の進化を促進する主要なメトリックを定義および普及します。この章では、現在の価値（最新技術に基づく）と次世代の予測をリストします。

章は4つの主要な領域で構成されています。

- 2D および 3D アーキテクチャ向けのインテグレーション命名法フレームワーク
- 主要な指標：³⁴
 - デザイン属性
 - シグナリングおよび電力供給を含む電氣的属性
- 難しい課題
- ディスカッション

3. 2Dおよび3Dアーキテクチャ向けのインテグレーションされた命名フレームワーク

- a. 2D アーキテクチャは、2つ以上のアクティブシリコンデバイスがパッケージ上に並べて配置され、パッケージ上で相互接続されるアーキテクチャとして定義されます。相互接続が「強化」されている場合、つまり主流の有機パッケージよりも高い相互接続密度があり、有機媒体を使用して達成される場合、アーキテクチャはさらに 2DO（2D 有機）アーキテクチャとしてサブカテゴリに分類されます。（例：シリコン/ガラス/セラミックインターポーザーまたはブリッジ）アーキテクチャは、2DS アーキテクチャ

³⁴ 熱およびプロセス属性などの他の主要な属性は、このロードマップのさまざまな章で説明されています。

としてさらに細分類されます。従来の2Dアーキテクチャ（従来の有機パッケージに2つ以上のダイフリップチップが取り付けられている）に加えて強化されたアーキテクチャは、その特殊性を強調するために2.xアーキテクチャと呼ばれます。これらの命名法には特定の技術的根拠はありません。ここでは、これらはすべて2D拡張アーキテクチャとして広く分類されることが提案されています。

- b. 3Dアーキテクチャは、パッケージの仲介なしで2つ以上のアクティブシリコンデバイスがスタックされ、相互接続されるアーキテクチャとして定義されます。

この命名法で説明されているアイデアを図1に示します。

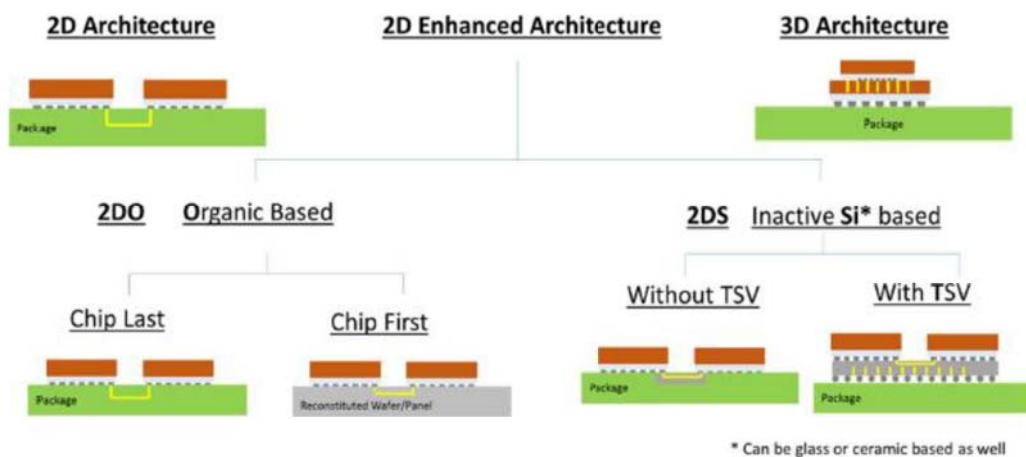


Figure 1: Schematic describing the Converged Nomenclature Framework for 2D & 3D Architectures

4. インターコネクットの命名法

パッケージの相互接続は次のように分類されます。

- (a) **Die-Die 相互接続**：3D スタック内の複数のダイ間の垂直相互接続を可能にするスタックダイ間の相互接続。これらは、これらの相互接続が作成されるプロセスを使用してさらにサブカテゴリに分類される場合があります。これにより、以下を使用して作成される Die-Die 相互接続など、異なる物理的属性がもたらされます。
- Wafer-to-Wafer 接続プロセス
 - Die-to-Wafer 接続プロセス
 - Die-Die 接続プロセス

これらの相互接続のロードマップについては、セクション 5.1.1 で説明しています。

- (b) **On-package Die-Die 相互接続**：2D および Enhanced-2D 相互接続：横方向の接続を可能にするパッケージ内のダイ間の相互接続。これらの相互接続のロードマップについては、セクション 5.1.1 で説明しています。
- (c) **Die-to-Package 相互接続**：ダイとパッケージ間の相互接続（図 2）。通常、第 1 レベル相互接続 (FLI) として知られています。

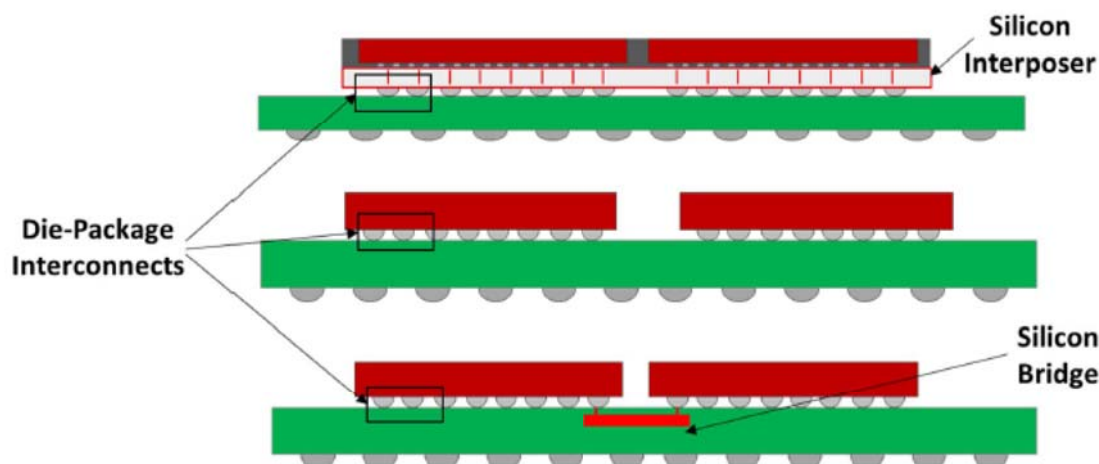


Figure 2: Schematic showing the die-package interconnects³⁵

図2の構造は、エリアアレイの相互接続のみを示しています。ワイヤボンド相互接続も、ダイからパッケージへの重要な相互接続です。現在、Au、Cu、Agワイヤベースの技術の3種類のワイヤボンディング技術が広く使用されています。現在、大量生産（HVM）で見られる最高級のインラインワイヤボンドピッチは、40 μm のインラインピッチのままであり、過去数年にわたってそうでした。ワイヤボンダーは、HVM（Au、Cu、またはAgワイヤ）で最小35 μm または40 μm のスタガード（2列）ピッチのインラインピッチをサポートできます。近年のプロセスの進歩により、Auワイヤボンディング機能とほぼ同等のCuワイヤボンディング機能が実現しました。さらに、現在のボンダーは、30 μm のインラインピッチ機能を実証し、パッケージング要件を確実に先導しています。表1に、主要なワイヤボンドの専門家による5年間の最適なロードマップを示します。

もう1つの重要な指標は、エリアアレイ相互接続のフリップチップピッチです。表1は、従来のフリップチップピッチの5年間のロードマップを示しています。変化のペースが平坦であることを考えると、フリップチップピッチが90 μm の最小境界にとどまると仮定することは合理的です。このピッチは、強化された2Dおよび3Dアーキテクチャで利用可能なファインピッチスケールをカバーしていません。

Year of Production	2018	2019	2020	2021	2022	2023	2024
Au Wire bond - Single in-line (μm)	40	35	35	30	30	30	30
Cu wire - single inline (μm)	40	35	35	30	30	30	30
Flip chip array, low end & consumer	150	150	130	130	130	130	130
Flip chip - cost performance	110	110	110	100	100	100	90
Flip chip - high performance	110	100	100	90	90	90	90

Table 1: Die-Package Interconnect Pitch Roadmap

- (d) **パッケージ内相互接続**: 2つのノードまたは電極間の横方向の接続を可能にするパッケージ内の相互接続。パッケージ内相互接続のスケール予測については、この章では説明しません。読者は、パッケージ基板技術に関する章（第8章）を参照してください。
- (e) **パッケージとボードの相互接続**: パッケージと次のレベル（通常はマザーボード）の間の相互接続は、第2レベルの相互接続（SLI）と呼ばれます。SLI接続は、ソケットまたはBGAのいずれかです。ソケットのピン数に関する2015年のITRSロードマップの予測は、表2aの[7]に再現されています。図3は、ソケットの実際の進化に基づく傾向グラフを示しています。2015年のITRS予測は、コストパフォーマンスセグメントの合理的な外挿です（わずかな変更を表2bに示します）。高性能セグメントの場

³⁵ このセクションで説明する値には、EMIBの有無にかかわらず、55 μm のHBMなどのファインピッチダイスタックを受け入れるように有機基板をスケールアップする場合は含まれないことに注意してください。これらのインスタンスはDie-Die相互接続により関連しているため、セクション5.1.1で説明します。

合、予測は～2021 までは妥当に見えますが、その後大幅に過少予測されているようです。これは、2015 年の予測におけるピン数の増加傾向が線形であると想定されたためと思われます。表 2b は、指数近似と多項式近似の組み合わせを使用した高性能セグメントの更新されたプロジェクションを示しています。

	2019	2020	2021	2022	2023	2024	2025	2026	2027	2028	2029	2030
Low-end, Low-cost package	550	550	550	600	600	600	600	600	650	650	650	650
Mobile Package	1500	1600	1600	1600	1600	1600	1600	1600	1600	1600	1600	1600
Memory (MCP)	260	280	280	280	280	280	280	280	280	280	280	280
Cost-performance	3200	3300	3400	3500	3600	3700	3800	3900	4000	4100	4200	4300
Harsh	693	728	764	803	843	860	877	894	911	928	945	962
High performance	5394	5651	5934	6231	6543	6855	7167	7479	7791	8103	8415	8727

Table 2a: Table HI-14 from the 2015 ITRS [7]

	2019	2020	2021	2022	2025	2028	2031	2034
Cost performance	3200	3300	3400	3500	3800	4100	4400	4700
High performance	5125	5694	6302	6946	9105	11601	14434	17604

Table 2b: Updated projections for the Cost-Performance and High-Performance segments

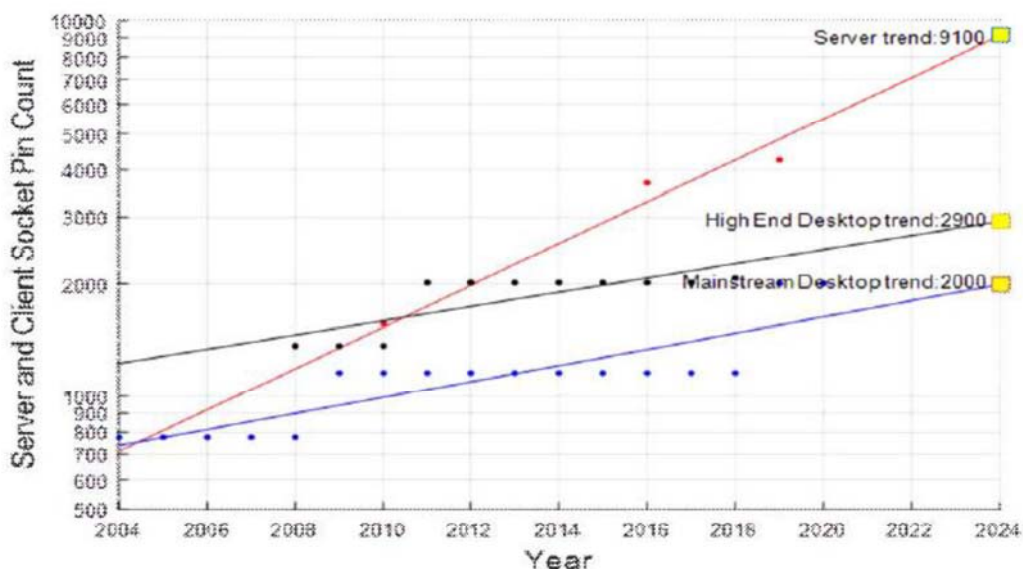


Figure 3: Near term trend graph based on actual pin count evolution. (Source: Intel)

[8]で説明されているように、パッケージ外の帯域幅、電気レーンの速度、および ASIC IO は着実に拡張し続けています。ピン数のスケーリングに加えて、信号損失を最小限に抑えるソケット構造を開発する必要があります。2015 年の BGA ピッチの ITRS 予測は引き続き有効です。

- (f) **POP (Package-on-Package) 相互接続**：PoP 構造[9]により、VI (垂直相互接続) ととも呼ばれる周辺パッケージ相互接続を使用して、パッケージを他のパッケージの上に配置できます。通常、ロジックにメモリパッケージをスタックしてコンパクトなフォームファクタを作成するために使用されます。そのような典型的な構造の 1 つを図 4 に示します。

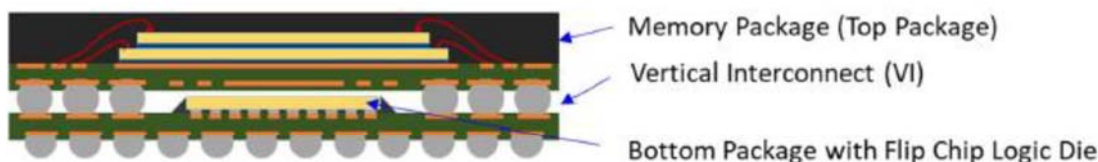


Figure 4: Typical Package-on-Package Architecture.

VI のピッチとパッケージの全体の高さは、このアーキテクチャの 2 つの重要な特性です。現在、これらのアーキテクチャのロードマップを描く方法論はありません。そのようなロードマップの代わりに、最新のピッチとパッケージの高さ、およびそれらの予測される変更を表 3 に示します。

PoP Architectures	VI Pitch (mm)	Maximum Bottom Package Height (mm)
Bare Die PoP	0.5	0.75
Bare Die PoP with 2-Step solder resist (SR) + solder on pad (SOP)	0.4	0.75
TMV PoP	0.4	0.78
Exposed Die TMV PoP	0.35 → 0.27	0.69
Interposer PoP	0.27 → 0.20	0.67
FOWLP PoP	0.30 → 0.20	0.50 → 0.30

Table 3: State-of-the-Art Pitches and Package Heights and their projected targets for PoP Architectures

5. キーメトリックス

5.1 設計属性³⁶

5.1.1 2D および Enhanced-2D アーキテクチャの周辺機器相互接続

パッケージングの重要な役割は、物理的な相互接続³⁷を提供することです。これらの相互接続の機能を記述する 2 つの設計メトリックは、線形エスケープと面積エスケープです。これらの 2 つのメトリックを図 5 に示します。

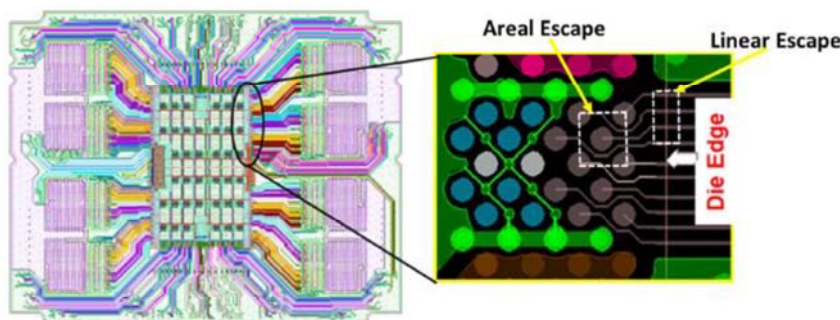


Figure 5: Two Key Physical Design Attributes: (a) IO/mm (of die edge) - Linear Escape Density and (b) IO/mm² (of die edge) - Areal Escape Density. Note that the term IO here refers to physical bumps and wires

Generations ⁶		1	2	3	4	5
Raw Bandwidth Density (GBps/mm) ^{7,8,9}		125	250	500	1000	2000
Package Technology	Minimum Bump Pitch (μm)	55	50	40	35	30
	IO/mm ¹⁰	500	667	1000	1500	2000
	IO/mm ²	331	400	625	816	1111
Signaling Speed (Gbps) ¹¹		2	3	4	5.33	8

³⁶ この作業の基本的な前提は、2D から 3D へのパッケージングアーキテクチャが物理的な構築アーキテクチャを提供し、シグナリングと電力供給を可能にすることです。一次的に、これらの物理的な構造は、使用される IO プロトコルにとらわれません。したがって、ここで説明するすべての属性は IO プロトコルに依存しません。

³⁷ これらの相互接続は、効果的な相互接続を提供することに加えて、電力消費と信号歪みを最小限に抑えるように設計する必要があります。

Generations³⁸、Raw Bandwidth Density (GBps/mm)^{39,40,41}、IO/mm⁴² Signaling Speed (Gbps)⁴³

Table 4: Interconnect Pitch Roadmap for Solder based Interconnects

Generations		1	2	3	4	5
Raw Bandwidth Density (GBps/mm)		125	250	500	1000	2000
Package Technology	Minimum Bump Pitch (μm) ¹²	55	40	30	20	10
	IO/mm	500	667	1000	1500	2000
	IO/mm ²	331	625	1111	2500	10000
Signaling Speed (Gbps)		2	3	4	5.33	8

Minimum Bump Pitch (μm)⁴⁴

Table 5: Interconnect Pitch Roadmap. Interconnects will transition away from solder gradually as pitches scale to less than 30_m.

5.1.2 3D アーキテクチャのエリア相互接続

Generations		1	2	3	4	5
Raw Bandwidth Density (Gbps/mm ²) ¹³		125	250	500	1000	2000
Package Technology	Minimum Bump Pitch (μm) ¹⁴	40	30	20	15	10
	IO/mm ²	625	1111	2500	4444	10000
Signaling Speed (Gbps)		1.6	1.8	1.6	1.8	1.6

Raw Bandwidth Density (Gbps/mm²)⁴⁵、Minimum Bump Pitch (μm)⁴⁶

Table 6: Interconnect Pitch Roadmap. Interconnects will transition away from solder gradually as pitches scale to less than 30_m.

5.3 シグナリング属性

Generations		1	2	3	4	5
Bandwidth Density (GBps/mm)		125	250	500	1000	2000
Channel Performance	Channel Length (mm)	2	1.5-1.9	1.2-1.8	1.0-1.8	0.5-1.8
	Total Channel RC (ps)	100	75-90	50-70	45-70	20-60

Table 7: Channel Signaling Characteristics for 2D Architectures

5.3.2 エリア相互接続

Generations		1	2	3	4	5
Bandwidth Density (Gbps/mm ²)		125	250	500	1000	2000
Bump Capacitance (fF)		30	22	15	8	4

Table 8: Channel Signaling Characteristics for 3D Architectures

5.4 電力供給属性

5.4.1 2D および 3D アーキテクチャのエリア相互接続

³⁸ 現在、世代間に必要なギャップについての普遍的な理解はありません。TWG の判断では、最短 2 年であり、計画の観点から、相互接続ロードマップの競争力を確保するために、最長 3 年を推奨します。

³⁹ ダイエッジ 1 mm あたり

⁴⁰ 125GBps の開始値は、AIB スタイルの実装で可能な Raw Bandwidth の推定値です。

⁴¹ Raw Bandwidth は基本的に、接続数と接続ごとの信号速度の積です。すべての接続がデータ送信に使用されるわけではないため、達成される帯域幅は低くなります。125GBps の開始点は判定値です。

⁴² 複数のシリコンバックエンドレイヤーまたはパッケージレイヤーを使用してバンブをルーティングできるため、レイヤーの特定の幾何学的特徴は説明されていません。

⁴³ BW の目標に到達する方法を示す代表的な例。これらの速度は一意ではありません。

⁴⁴ 55 μm の開始値は、最も一般的な現在の実装、つまり HBM に基づいています。

⁴⁵ ダイ面積の mm² あたり

⁴⁶ HBM および WIO2 の既知の実装に基づく 40 μm のバンブピッチの開始値

Generations		1	2	3	4	5
Core Power Density (W/sqmm)		5	80	12	18	25
On-die Capacitance Density (nF/mm ²)		20	30	45	67	100
VR Power Density (W/mm ²)		0.4	0.6	1	1.5	2
Ceramic Cap Density (μF/mm ²)		60	90	140	200	300
Bump Current Carrying Capability (A/mm ²)		6	9	14	20	30

Table 9: Power delivery Attributes for 2D and 3D Architectures. It should be noted that power delivery attributes are agnostic to the architecture.

6. 困難な課題

表4および表5に記載されている高いIO/mm値は、シリコンバックエンドテクノロジーを使用して実現され、細い、狭い間隔のワイヤを作成しています(図6)。このロードマップは、密度を高める、つまりラインピッチを減らす必要性を予測しています。信号速度の増加と組み合わせると、ライン間隔の減少によって引き起こされるクロストークの増加により、信号品質に関する懸念が大きくなります。パッケージングコミュニティは、信号の完全性への影響を最小限に抑え、電力効率⁴⁷を改善した物理リンクを提供するソリューションの開発に挑戦します。

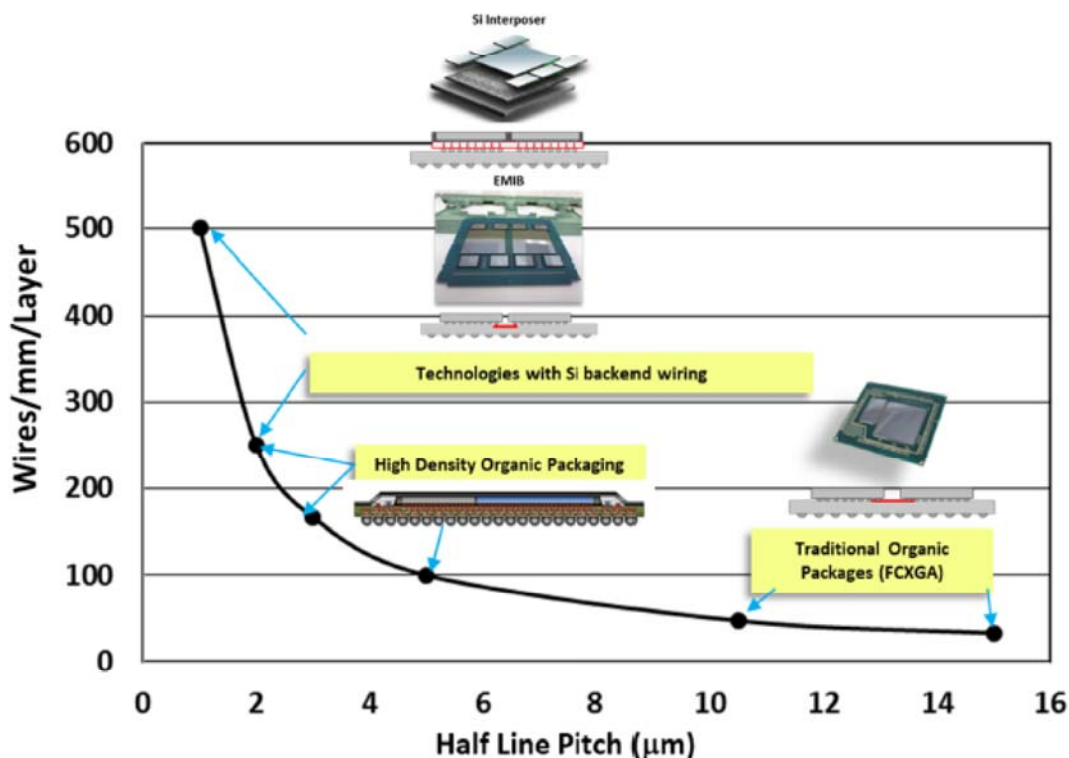


Figure 6: Technologies for different wiring features. L is the width of the line in μm , S is the minimum space between lines in μm ; half line pitch is $(L+S)/2$. Technologies that use silicon backend wiring can achieve wiring densities of greater than 1000 with $L \& S \leq 0.5\mu\text{m}$.

はんだベースと非はんだベースの両方のアプローチを使用して、超微細ピッチで強化された2Dおよび3Dアーキテクチャの新しいアセンブリテクノロジーを有効にする必要性が大きくなります。多くの研究者が、表4に記載されているバンプピッチの減少を実証しており、必要な技術についてはかなりよく理解されています。はんだベースの相互接続からはんだなしの相互接続への移行[10, 11]。スタックドダイアーキテクチャの主な課題は、引き続きファインピッチソート/テスト、熱管理、電力供給ネットワークの開発、設計プロセスの共

⁴⁷ 電力効率 (pJ/ビットで測定) は、Tx、Rx、およびリンクの電力効率の合計です。ダイダイリンクは、電力効率の改善を確実にするために、RCを減らす必要があります(表6)。

同設計、および大量生産のための機器の準備です。

7. ディスカッション

高度な 2D および 3D テクノロジーの主なドライバーは、ヘテロジニアスのインテグレーションをサポートし、帯域幅を拡大するために相互接続密度を高める必要があることです。物理的な相互接続（ワイヤ、バンプ）とリンク RC の特性は、完全にパッケージング技術者の管理下にあり、スケーリングロードマップを確立するのは比較的簡単です。これらのうち、バンプピッチロードマップは明確に記述できますが、IO / mm ロードマップは複数の方法で実現できるため、ワイヤフィーチャスケーリングではなく IO / mm スケーリングの仕様を実現できます。この章は改版が進むことで、製品設計者間の議論を促し、技術革新のペースを推進するさまざまなユースケースの明確化に役立つと期待しています[12-15]。

8. 謝辞

TWG メンバーは、この章で重要な属性とその数値のいくつかを説明するのを手伝ってくれた Intel Corporation の Zhiguo Qian、Kemal Aygun、Kaladhar Radhakrishnan、Srikant Nekkanty、Bob Sankman に感謝します。また、他の TWG の貢献も認めています。

9. 参考文献

1. <https://www.engineering.com/Hardware/ArticleID/16894/TSMCs-New-Wafer-on-Wafer-Process-to-Empower-NVIDIAand-AMD-GPU-Designs.aspx>
2. <https://www.anandtech.com/show/13699/intel-architecture-day-2018-core-future-hybrid-x86/6>
3. http://www1.semi.org/eu/sites/semi.org/files/docs/7_Amkor_NaniumSymposium_Jun26th2013.pdf
4. K. Oi, et al, "Development of New 2.5D Package with Novel Integrated Organic Interposer Substrate with Ultra-Fine Wiring and High Density Bumps," Proceedings of the 2014 IEEE 64th Electronic Components and Technology Conference, Orlando, pp. 348-353.
5. Embedded Multi-Die Interconnect Bridge (EMIB) – A High Density, High Bandwidth Packaging Interconnect, R.Mahajan et.al, 2016 IEEE 66th Electronic Components and Technology Conference, DOI 10.1109/ECTC.2016.201
6. <https://www.darpa.mil/program/common-heterogeneous-integration-and-ip-reuse-strategies>
7. <https://www.semiconductors.org/resources/2015-international-technology-roadmap-for-semiconductors-itrs/>
8. http://www.ieee802.org/3/cfi/1117_3/CFI_03_1117.pdf
9. R. Co et al., "High-Volume-Manufacturing (HMV) of BVA Enabled Advanced Package-on-Package (PoP)," ICEP, April 14-17, 2015.
10. Adeel A. Bajwa, SivaChandra Jangam, Saptadeep Pal, Niteesh Marathe, Tingyu Bai, Takafumi Fukushima, Mark Goorsky, Subramanian S. Iyer, "Heterogeneous Integration at Fine Pitch 10 μ m) using Thermal Compression Bonding", Proc. ECTC 2017, pp. 1276-1283.
11. Eric Beyne, Soon-Wook Kim, Lan Peng, Nancy Heylen, Joke De Messemaeker, Oguzhan Orkut Okudur, Alain Phommahaxay, Tae-Gon Kim, Michele Stucchi, Dimitrios Velenis, Andy Miller, and Gerald Beyer imec, Leuven, Belgium, "Scalable, sub 2 μ m Pitch, Cu/SiCN to Cu/SiCN Hybrid Wafer-to-Wafer Bonding Technology, IEDM Tech. Dig., 2017, pp.729-732.
12. K. Cho et al., "Design optimization of high bandwidth memory (HBM) interposer considering signal integrity," 2015 IEEE Electrical Design of Advanced Packaging and Systems Symposium (EDAPS), Seoul, 2015, pp. 15-18.
13. S. Jangam, A. A. Bajwa, K. K. Thankkappan, P. Kittur and S. S. Iyer, "Electrical Characterization of High Performance Fine Pitch Interconnects in Silicon-Interconnect Fabric," 2018 IEEE 68th Electronic Components and Technology

Conference (ECTC), San Diego, CA, 2018, pp. 1283-1288.

14. Ahmet C. Durgun, Zhiguo Qian, Kemal Aygun, Ravi Mahajan, Tim Tri Hoang, Sergey Yuryevich Shumarayev, “Electrical Performance Limits of Fine Pitch Interconnects for Heterogeneous Integration,” accepted for publication, ECTC Las Vegas, 2019.
15. Sergey Y. Shumarayev, Conor O’Keeffe*, Tim T. Hoang, David Kehlet, Sangeeta Raman, Benjamin Esposito, A SiP Standard for Reusable Chiplet Enabled Platforms, GOMACTech Conference, March 25-28, 2019 - Albuquerque, NM, <http://www.gomactech.net/>.