



ヘテロジニアスイнтеグレーション  
ロードマップ  
2019年度版

第1章: HIR概要と  
エグゼクティブサマリー

<http://eps.ieee.org/hir>

HIR は、技術評価のみを目的として考案されており、個々の製品または機器に関連する商業上の考慮事項とは無関係です。

このロードマップでは、元のソースから抜粋した資料および図の使用に感謝します。

図と表は、元のソースの許可を得てのみ再利用する必要があります。





# 第1章：HIR概要とエグゼクティブサマリー

## 未来のシステムの推進力と実現技術

### エグゼクティブサマリー

#### 1. ビジョン

ヘテロジニアスインテグレーションロードマップ (HIR) は、エレクトロニクス業界に長期的なビジョンを提供し、困難な将来の課題と潜在的なソリューションを特定します。このロードマップは、専門家、業界、学界、研究機関に、今後 15 年間のエレクトロニクス産業の進化に向けた景観と戦略的技術要件の包括的なビューを提供し、より長い研究開発タイムラインで、新たなデバイスと新たな材料のヘテロジニアスインテグレーションに関する 25 年ビジョンを提供します。その目的は、競争前のコラボレーションを促進し、それによって進歩のペースを加速することです。

HIR チームは、エレクトロニクスエコシステムのインタラクティブな複雑さを表す 22 の技術ワーキンググループで構成されています。これは、産業界、学界、及び研究機関から共通の利益のために重要な専門家を集めたボランティア活動です。HIR は、3 つの IEEE<sup>1</sup>協会 (Electronics Packaging Society<sup>2</sup>、Electron Devices Society<sup>3</sup>、及び Photonics Society<sup>4</sup>)、SEMI<sup>5</sup>、及び ASME EPPD<sup>6</sup>によって後援されており、世界のエレクトロニクスコミュニティの幅広い分野を代表しています。

#### 2. プロローグ

2019 年は、人類の月面着陸 50 周年を迎えます。これは、1962 年 5 月にライス大学でジョン F ケネディ米国大統領が最初に提案したイニシアティブです。彼は感動的なスピーチで述べました。「この 10 年で月に行くことを選びました。これは簡単だからではなく、難しいからです。その目標は私たちのエネルギーとスキルの最高のものを組織し、指標とすることに役立つからです。なぜなら、その挑戦は私たちが受け入れようとしているものだからです、延期したくない...」

その 10 年が終わる前の 1969 年 7 月 14 日、人類は実際にアポロ 11 号のミッションで月に着陸しました。ニール・アームストロングが月面のモジュールから降りたときの強力な引用と、それに続く仲間の宇宙飛行士バズ・アドリンによって、この瞬間は永遠に不滅になりました。「それは人間にとって小さな一歩、人類にとって大きな飛躍です。」月面着陸は、多くの技術革新と人間の独創性の驚異によってのみ可能になった、巨大な均一の取れた工学的および科学的成果であることに間違いありません。アポロ月着陸船のコンピュータの設計に取り入れられたエレクトロニクスと半導体の革新と創造性は特に重要でした。

1962 年はエレクトロニクス産業にとって刺激的な時期でした。半導体企業の場合、テキサス・インスツルメンツのジャック・キルビーとフェアチャイルド・カメラのロバート・ノイスによって、数年前に集積回路(IC)が発明されました。NASA とコンピュータ会社は自問していました：いつ、どのようにこの新たに発明された集積回路を採用し、供給、品質、信頼性の問題を伴う新しいテクノロジーのリスクとパフォーマンスの利点を

<sup>1</sup> The Institute of Electrical and Electronics Engineers, [www.ieee.org](http://www.ieee.org)

<sup>2</sup> IEEE-EPS, [eps.ieee.org](http://eps.ieee.org)

<sup>3</sup> IEEE-EDS, [eds.ieee.org](http://eds.ieee.org)

<sup>4</sup> IEEE-PS, [www.photonicsociety.org](http://www.photonicsociety.org)

<sup>5</sup> SEMI (was Semiconductor Equipment and Materials International), [www.semi.org](http://www.semi.org)

<sup>6</sup> American Society of Mechanical Engineers, Electronic and Photonic Packaging Division, [www.asme.org](http://www.asme.org)



トレードオフできますか？ NASA は、アポロ月着陸船コンピュータに採用するテクノロジーに関する包括的な研究のために、MIT インスツルメンツ・ラボ（後に Darper Lab と名付けられました）を活用しました。1962 年 11 月に NASA アポロ計画事務所のチャールズ・フリスクに MIT インスツルメンツ・ラボからエルドン・ホールによって与えられた報告は、集積回路を進めることを推奨しました[1]。フェアチャイルド・カメラ、テキサス・インスツルメンツ、及びモトローラは、IC サプライヤの 1 つです。

フェアチャイルド・カメラの半導体部門にいたゴードン・ムーアが、この NASA のアポロ研究やフェアチャイルド・カメラの NASA 事業にどの程度関与したかはわかりません。私たちが知っていることは、彼が 1965 年 4 月 19 日にエレクトロニクスで「集積回路へのより多くのコンポーネントの詰め込み」という論文[2]を発表したとき、彼は軍事および宇宙市場をはるかに超えていたということです。彼のマーケットビジョンは、図 1 の漫画で示すように「NOTIONS」と「COSMETICS」カウンターの間のカウンターからデパートの顧客にホームコンピュータを直売しています。この当時、メインフレームコンピュータはルームサイズでエアコン付きの部屋に収容されており、主に銀行と政府機関内のみが使用していた。（注：IBM は 1964 年 6 月に 360 メインフレームシステムをスタートしました）。

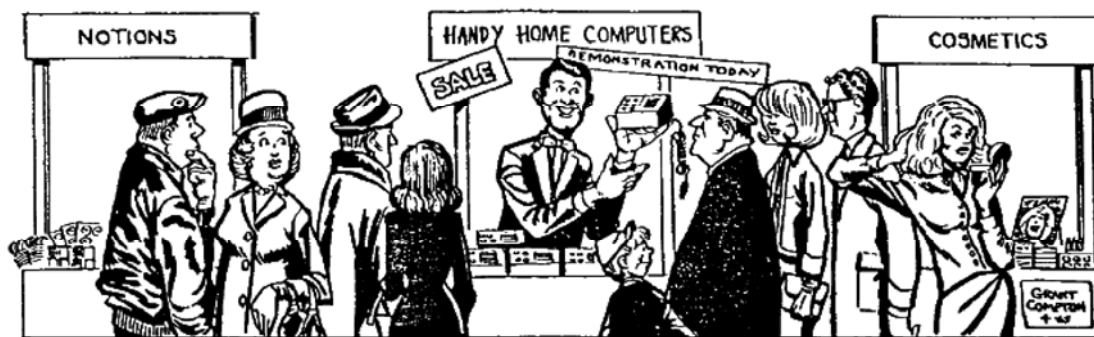


Figure 1. Cartoon from Moore's paper illustrating his market vision [1]

「Day of Reckoning」というタイトルの彼の論文の後のセクションで、彼は著しく予言的な声明で締めくくった。「別々にパッケージ化され相互接続された小さな機能から大きなシステムを構築する方が経済的であることが証明されるかもしれない。大規模な機能を利用できることと、機能的な設計と構造を組み合わせることで、大規模システムの製造業者は、迅速かつ経済的にかなりの種類の機器を設計および構築ができる。」[2]。これは明らかに、当時、彼は消費者向けの家庭用コンピュータ市場と将来のヘテロジニアス・インテグレーション (HI) の必要性を予測していました。2018 年のエレクトロニクス業界の収益は 2 兆 1,260 億米ドル[3]で、そのうち 44% がゴードン・ムーアのビジョンに沿った消費者支出でした。

### 3. 破棄と変化

集積回路の発明から 50 年以上が経過しました。1991 年の設立以来、International Technology Roadmap for Semiconductors (ITRS) [4] は業界の進歩の指針であり、ムーアの法則スケーリングのリズムに沿った技術の進歩を予測しています。設計およびプロセステクノロジーにおける現在進行中の重要な革新により、高度なノードへのドライブが継続されていますが、ムーアの法則の経済性とパフォーマンスは明らかに停滞しています。以下に示すのは、2018 年 7 月の ERI 会議でジョン・ヘネシーによって提示された 2 つのグラフです[5]。左へのグラフが 40 年の DRAM 能力と密度の減速を示す一方、近年横ばいになることによって、右へのグラフは 40 年のコンピューティング性能を示します。

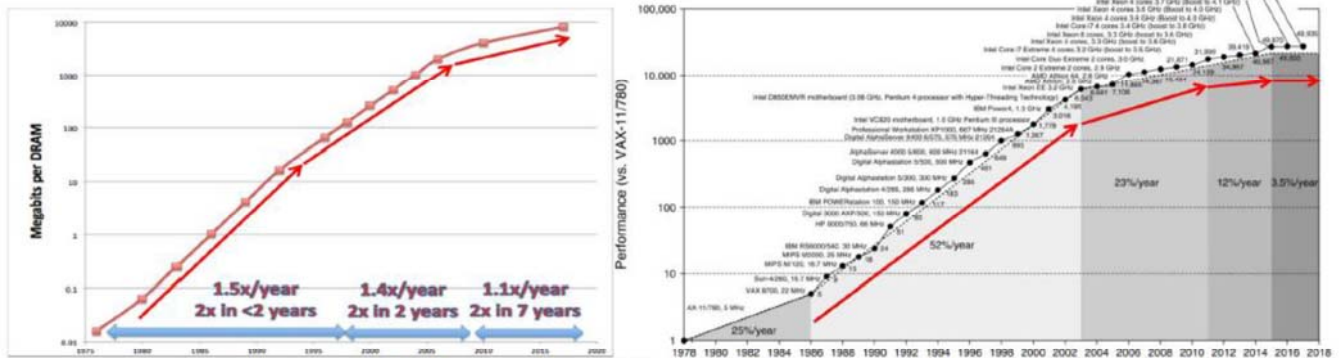


Figure 2. Plateauing of DRAM Density, and Computing Performance. Source: J Hennessy, ERI Conf July 2018



Figure 3. Die Cost Increase at Advanced Nodes. Source: Lisa Su [6] SEMICON WEST 2019

図3に示されているのは、2019年7月9日のSEMICON WestでのLisa Suによる基調講演のグラフ[6]であり、高度なノードで「コストが増加し続けている」ことを示しています。SIA<sup>7</sup>は2016年7月にITRSを閉鎖し、ITRSロードマッピングの時代を終わらしました[6]。しかし、私たちは今までに想像もできなかった変化と混乱を伴う新しい世界秩序にあり、ロードマッピングの必要性はこれまでになく明確になり

ました。ソーシャルメディア、クラウドコンピューティング、検索、オンラインコマース、ビッグデータを推進しているテク

ノロジー企業の継続的な増加により、ビジネス環境は大きな変化を経験しており、ハードウェアとソフトウェアをインテグレーションしたインテグレーションアプリケーションとアプリケーションスペースの前例のない成長をもたらしています。



Figure 4. Rise of the Tech Companies. Source: The Economist[6] & Statista

図4は、2006年と2019年に時価総額で上場企業のトップ10を示しています。2006年のリストにはハイテク企業は1社しかありませんでしたが、2019年のリストには、ハイテク企業である上位4社（および上位

<sup>7</sup> Semiconductor Industry Association, <https://www.semiconductors.org>



10社のうち7社)が含まれており、デジタル時代への強力な変遷を意味しています[6]。

テクノロジー企業の台頭とその結果の混乱によって、ムーアの法則経済的な停滞を含む三重の変曲点があります。それはデジタルデータの成長の爆発的な拡大、そして5Gと人工知能の登場。これには、エレクトロニクスの革新の異なる段階を必要とする継続的な進歩が必要です。

SIAとSRC<sup>8</sup>は、2017年3月に「半導体研究の機会：業界のビジョンとガイド」というタイトルのレポートを共同で公開しました[7]。報告書では次のように述べています。「今後の道は、ムーアの法則時代ほど明確ではありません。しかし、経済的および社会的利益のための巨大な可能性があります—いくつかは想像され、他はまだ想像されていません…。この極めて重要な点において、進歩には産業、政府、及び学界がステップアップする必要があります...基礎科学研究から商業的応用に至るまで、必要とされるさまざまな活動のキープレーヤーになるために。」

このヘテロジニアスインテグレーションロードマップ(HIR)は、それがどこで発生したとしてもイノベーションを受け入れ、可能な限りコラボレーションを促進し、マイクロエレクトロニクス市場の状況の進展を加速することに専念しています。その目的は、エレクトロニクス業界に長期的なビジョンを提供し、困難な将来の課題を特定し、潜在的なソリューションを提案することです。このロードマップは、専門家、業界、学界、研究機関に、今後15年間のエレクトロニクス業界の進化に向けた包括的な展望と技術要件の戦略的予測を提供します。また、より長い研究開発タイムラインで、新興デバイスと新興材料のヘテロジニアスインテグレーションに関する25年のビジョンを提供します。目標は、競争前のコラボレーションを促進し、それによって進歩のペースを加速することです。

エレクトロニクスは私たちの社会の構造に深く組み込まれており、私たちの生活、仕事、遊びの方法を変えながら、グローバルなライフスタイル、産業、ビジネスに新しい効率をもたらしています。私たちはデジタル経済と無数の接続性の時代に入りつつあり、データの成長を促進する市場の力には次のものが含まれます。

- データ、ロジック、及びアプリケーションのクラウドへの移行
- ソーシャルメディアの台頭によるITの消費化
- モバイルデバイスの進化
- 5G通信とモノのインターネット(IoT)からすべてのインターネットへ
- 仮想現実(VR) 拡張現実(AR)を備えた人工知能(AI)
- 自動運転車

6つの主要な市場を次の図に示します。



Figure 5. Six application spaces undergirded by AI, VR and AR. Source: ASE

<sup>8</sup> Semiconductor Research Corporation, <https://www.src.org>

#### 4. ヘテロジニアスインテグレーションロードマップ

ヘテロジニアスインテグレーションとは、個別に製造されたコンポーネントを上位アセンブリ（System in Package – SiP）にインテグレーションし、全体として機能を強化し、動作特性を改善することです。この定義では、コンポーネントは、個々のダイ、MEMS デバイス、受動部品、組み立てられたパッケージまたはサブシステムなど、単一のパッケージにインテグレーションされる任意のユニットを意味するものと解釈する必要があります。動作特性は、システムレベルのパフォーマンスや所有コストなどの特性を含む最も広い意味でとらえるべきです。出典：ITRS Assembly & Packaging Chapter。

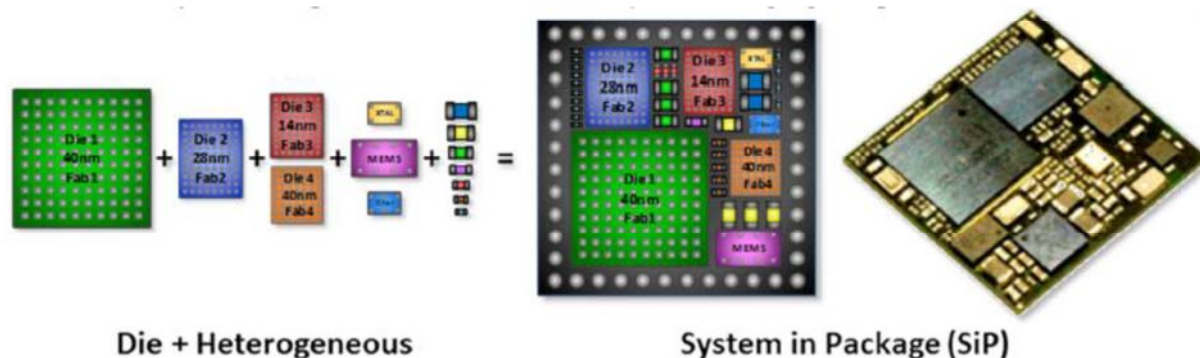


Figure 6. Heterogeneous Integration and System in Package (SiP). Source: ASE

SiP によるヘテロジニアスインテグレーションは、ゴードン・ムーアの 1965 年の論文で説明されているように、個別にパッケージ化された小さな機能から大規模で複雑なシステムを構築するという概念ビジョンから自然に続いています。異質性および関連するインテグレーションは広範囲にわたるものであり、材料、コンポーネントタイプ、回路タイプ、ノード、相互接続方法、及びソースまたはオリジンに関連する可能性があります。今日、SiP を介したヘテロジニアスインテグレーションの多くの例があります。

ヘテロジニアスインテグレーションは、今後の主要な技術の方向性であり、今後も重要です。これは、ムーアの法則の遠い未来への進展を継続し、補完するための技術的および科学的進歩の新しい時代を開始するための「低い位置にぶら下がっている果実」です。パッケージング–システムパッケージングからデバイスパッケージングまで–は、この大きな進歩の先駆けとなります。

ヘテロジニアスインテグレーションロードマップは、システムアプリケーション主導のロードマップであり、エレクトロニクス生態系全体を横切ってマーケット・プルとテクノロジー・プッシュの二重性を混合するようにデザインされています。将来の技術の進歩は、市場アプリケーションに対応するシステムインテグレーションの進歩によって推進されることを認識し、異機種間インテグレーションの主要な技術ドライバーである 6 つの市場アプリケーション分野を特定しました。：

- ハイパフォーマンスコンピューティングとデータセンター
- 医療、健康、ウェアラブル
- 自律型オートモーティブ
- モバイル
- 航空宇宙および防衛
- IoT

私たちが答えようとする重要な質問は、電子システムの構成要素は何ですか？システムインテグレーションを順調に進めるために、これらの基本的な構成要素にはどのようなインテグレーション技術の進歩が必要ですか？

想定するビルディングブロックは次のとおりです。



- シングルチップとマルチチップのインテグレーション（基板を含む）
- インテグレーションフォトニクス
- インテグレーションパワーエレクトロニクス
- MEMS とセンサーのインテグレーション
- 5G、アナログ及びミックスシグナル

これらのビルディングブロックの基礎となるのは、すべての市場アプリケーションセグメントを横断する下記の技術領域です。

- 材料と新興研究材料
- 新興研究デバイス
- テスト
- サプライチェーン
- セキュリティ
- 熱管理
- 協調設計
- シミュレーション

最後に、ヘテロジニアスインテグレーションの3つの主要な技術分野を特定しました。

- SiP
- 3D および 2D インターコネクト
- ウエハレベルパッケージ-WLP（ファンインおよびファンアウト）

ヘテロジニアスインテグレーションロードマップには、エグゼクティブサマリーを含む23の章が含まれています。

## 5. ハイライト：ヘテロジニアスインテグレーションアプリケーション

1.) 現在、量産中のものとして、高帯域幅メモリ（HBM）スタックとともに、アドバンスドノードASICのシリコンインターポージャーベースのインテグレーションがあります。以下の例（図7）は、4つのHBMを搭載したAMDのFiji GPUで、2016年にゲームアプリケーション向けにASEで初めて生産されました。

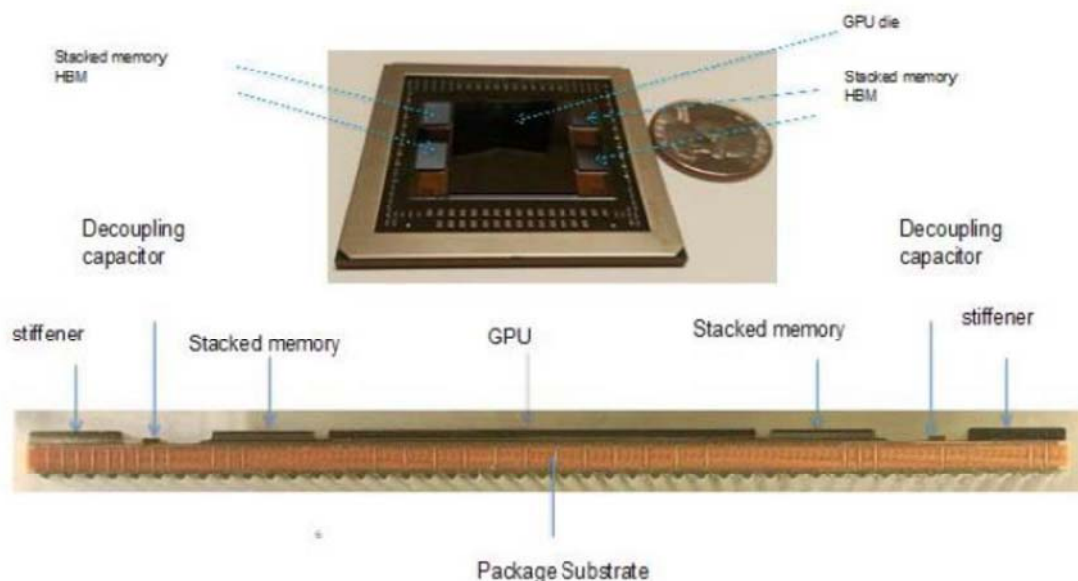


Figure 7. AMD Fiji GPU-HBM Si Interposer 2.5D Package. Source: ASE



2.) Intel の組み込みマルチダイ相互接続ブリッジ（EMIB）テクノロジーは、シリコンブリッジを使用して複数のダイを有機基板上で近接してリンクするチップレットアプリケーションに適用されています。異なるノードのコンポーネントまたは異なる企業のコンポーネントを、1つの SiP に異種混合でインテグレーションできます。図 8 に示されているのは、チップレットアプリケーションにおける Intel の Agilex FPGA です。

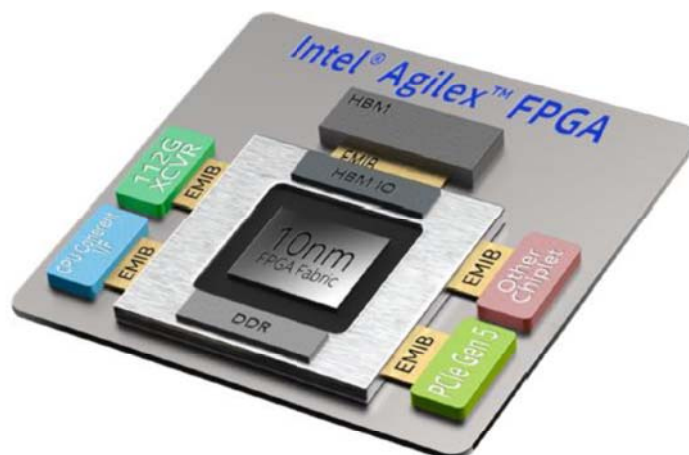


Figure 8. Intel Agilex FPGA Chiplet application. Source: Intel

高度なノードでは、ダイの歩留まりはダイのサイズとともに指数関数的に低下します。シリコンインターポザーでザリンクスが最初に実証した、大型のモノリシック SoC を小さな密結合ダイに分割することは、現在真剣に検討され、実行されています。同時に、単位面積あたりのダイコストが上昇しています[5]。第 8 章（シングルチップおよびマルチチップパッケージ）で報告されているように、以下は AMD EPYC サーバープロセッサの 2 世代です（図 9）。左側の大きなモノリシック SoC は、有機基板上での均質なインテグレーションを使用して、チップレットと呼ばれる 4 つの密結合ダイに分割されています（歩留まり向上のため）。右側には、より大きな 14 nm I/O ダイの両側に 4 つの 7 nm チップレットの 2 つのグループがあり、ヘテロジニアスインテグレーションを使用してユニットエリアダイのコストを最適化します。

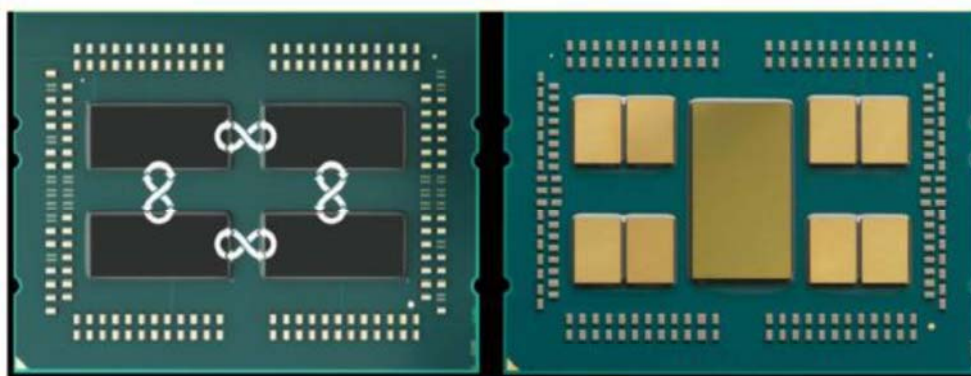


Figure 9. AMD EPYC Server Processors. Source: AMD [6]

3.) CHIPS プログラムは、HI を促進する DARPA Electronics Resurgence Initiative (ERI) の重要な部分です。CHIPS は、Common Heterogeneous Integration and Intellectual Property (IP) Reuse Strategies Program の略です。このビジョンは、既存および新規のインテグレーションテクノロジーを使用してシステムに組み立てられる、個別のモジュラー IP ブロックのエコシステムです。これについては、第 21 章（SiP とモジュール）および第 6 章（航空宇宙と防衛）で説明しています。プログラムの最近の更新は、2019 ERI 会議の議事録で見つけることができます。詳細については、第 6 章を参照してください。

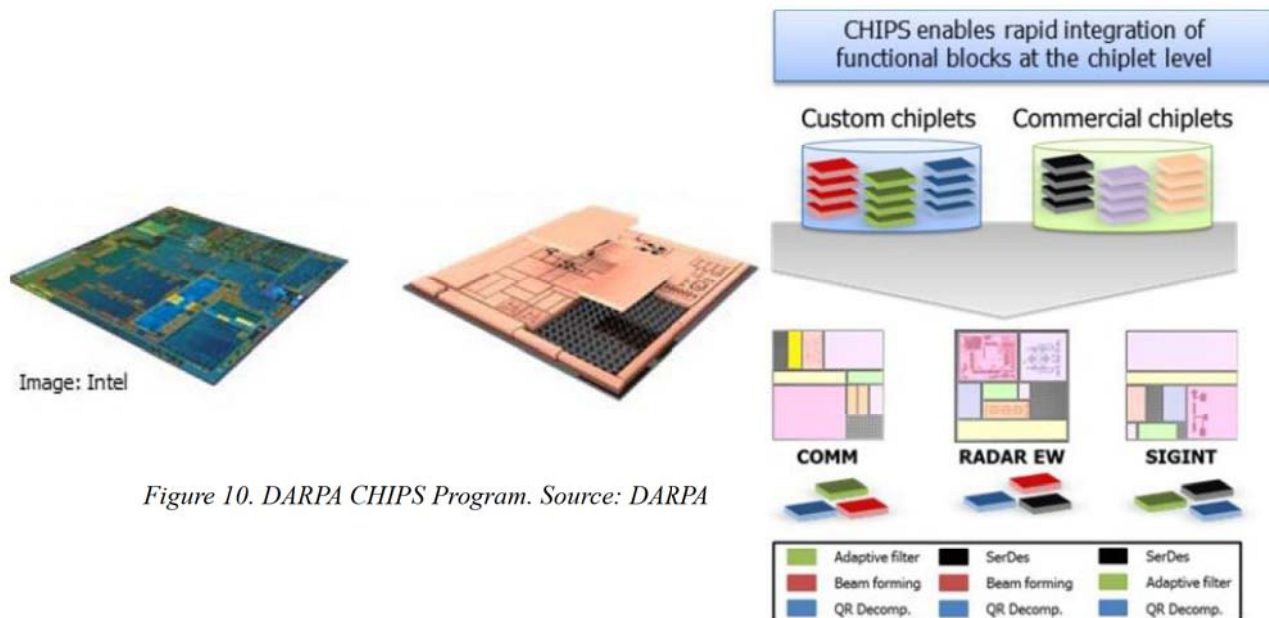


Figure 10. DARPA CHIPS Program. Source: DARPA

4.) スマートフォン業界は、第7章（モバイル）で詳細に説明されているように、基本的に小型化、共同設計のためのモジュール性、及び世代間のパフォーマンスの向上という利点のために、複数世代で SiP を使用する HI テクノロジーを早期に採用しています。アプリケーションプロセッサは、ほとんどの場合、最も高度なノードにあり、この ASIC の上にメモリコンポーネントが積み重ねられた Package on Package (PoP) 構成に格納されています。以下に示すのは、Apple XSMax、Samsung Galaxy S9 +、Huawei 20 Pro の3つのプレミアムスマートフォンの PoP パッケージのクロスセクションです。これらは、それぞれウェハレベルのファンアウト（TSMC<sup>9</sup>情報）、パネルレベルのファンアウト（ePLP）、及び高度な高帯域幅フリップチップ PoP（Kirin）の例です。

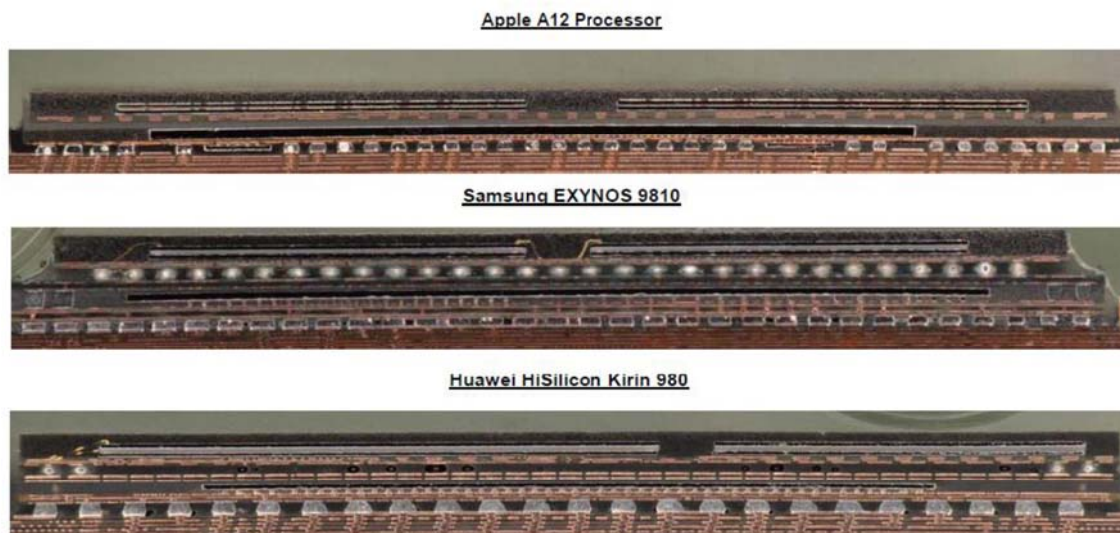


Figure 11. Three examples of Package on Package [PoP] in Smart Phone Teardowns.

Source: Prismak Partners & Bingahmton University

5.) 第23章（WLPのファンインおよびファンアウト）から、ファンアウトテクノロジーの2つの例があります。以下に示すのは、生産時に近接した2つのダイを持つ基板上のファンアウトチップです。

<sup>9</sup> Taiwan Semiconductor Manufacturing Company, www.tsmc.com



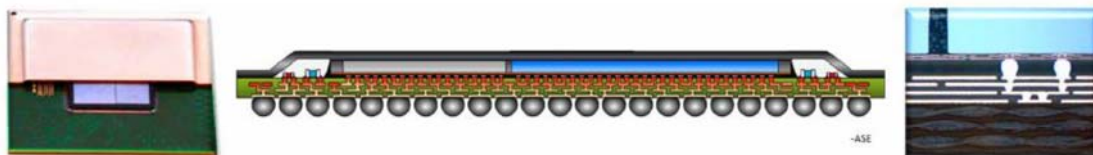


Figure 12. Fan-Out Chip on Substrate (HIR WLP Chapter, Figure 9)

6.) このファンアウトとスタックの概念をさらに一歩進め、3D マルチスタック (MUST) システムインテグレーションテクノロジーと呼ばれる高度な構造を使用して、複数の SoC とメモリを多層スタックアップに組み込むことができます。この 3D MUST-in-MUST (3D-MiM) ファンアウトパッケージは、2019 ECTC<sup>10</sup> 会議の TSMC 論文の参考文献[9]に記載されています。

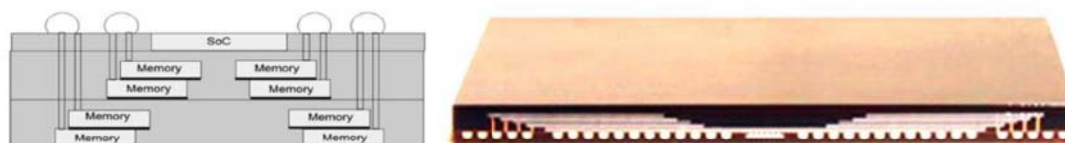


Figure 13. Fan-Out Multi-Stack integration (TSMC MiM). (WLP Chapter Figure 38, and ECTC 2019)

7.) 第 21 章 (SiP およびモジュール) では、パッケージ内の炭化ケイ素 (SiC) や窒化ガリウム (GaN) 電力システムなどのワイドバンドギャップ (WBG) パワー半導体の SiP インテグレーションについて説明します。以下に、埋め込み SiC half-wave ブリッジモジュールの例を示します。寄生インダクタンスが非常に低いため、非常に高速なスイッチングセルを使用できます。表向きのダイとフリップされたダイが基板に組み立てられ、エポキシプリプレグ層に埋め込まれます。基板は、モジュールの優れた熱管理も提供します。このモジュールはフラウンホーファー IZM で開発されました。比較可能なモジュールは、いくつかのサプライヤによって工業化されています。



Figure 14. Example of EMI-optimized SiP SiC Module. Source: Fraunhofer IZM

8.) 多くの都市で 5G ネットワークが展開され、5G スマートフォンが利用可能になりました。以下に示すのは、Samsung Galaxy S10 の分解図です。フレームの周囲には 3 つの異なる mmWave アンテナモジュールがあり、フレームの下部近くに 2G / 3G / 4G アンテナモジュールがあることに注意してください。5G アンテナテクノロジーの詳細なレビューは、第 12 章 (5G コミュニケーション) にあります。Samsung Galaxy S10 PoP の詳細については、第 7 章 (モバイル) を参照してください。

<sup>10</sup> Electronic Components and Technology Conference, <http://www.ectc.net>





Figure 15. Samsung Galaxy 10 teardown showing 5G antennas. Source: Prismak Partners & Bingahmton University

### 6. 次に来るもの

SEMICON West 2019のHIRワークショップで、John Shalf (LBNL11) は、「ムーアの法則を超えたコンピューティングの未来」、特にExaScale Computing 2022-2023の要件に関する講演を行いました。図16は、テクノロジーのスケーリング傾向の停滞を示しており、そして「それから何を？」と問うています。

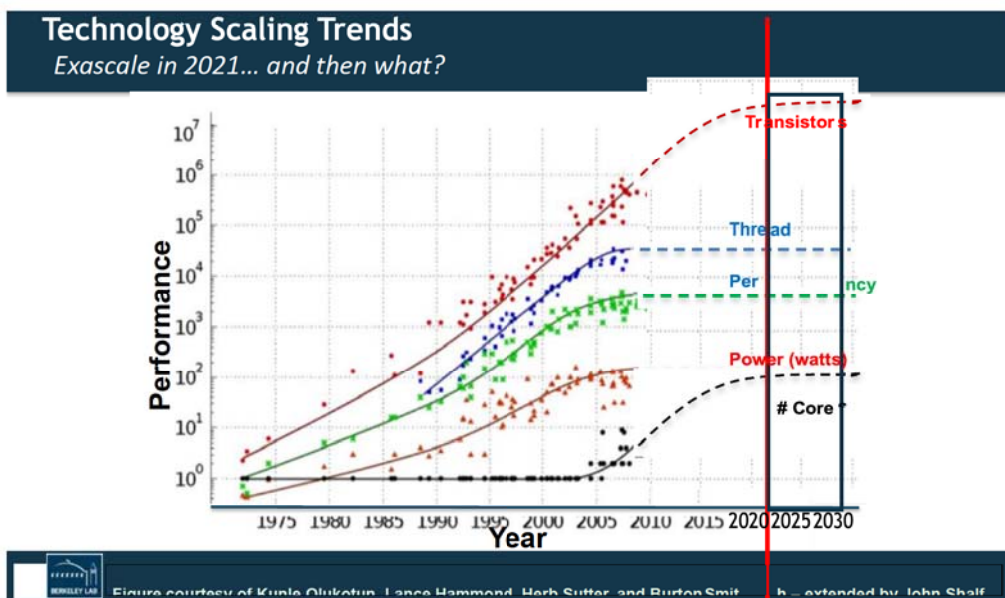


Figure 16. Technology Scaling Trend. Source: John Shalf, LBNL[9]

彼はさらに、多くの課題と潜在的なソリューションに取り組んでいます。シリコンインターポージャーを使用する場合、パッケージのCuピンバンド密度はフォトニクス不良密度と一致することに留意し、シリコンフォトニクスのインテグレーションの概念的なスライドを示しました。詳細なレビューは、第9章（インテグレーションしたフォトニクス）にあります。

## Silicon Photonics Co-Package Integration

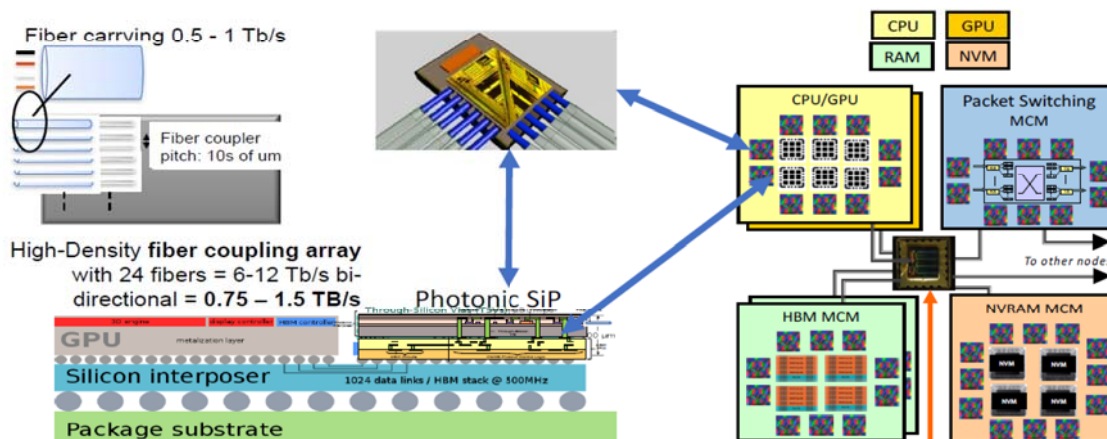


Figure 17. Si Photonics Integration Concept. Source: John Shalf (LBNL) [10]

## 7. 人工知能

SEMICON West 2019 の AI デザインフォーラムで、Cliff Young (Google Research) は「Codesign for Google TPUs – How help Help?」についてプレゼンテーションを行いました。図 18 の左から、Tensor Processor Unit (TPU) の 3 つの世代、TPU1、TPU2、及び TPU3 の写真を示します。

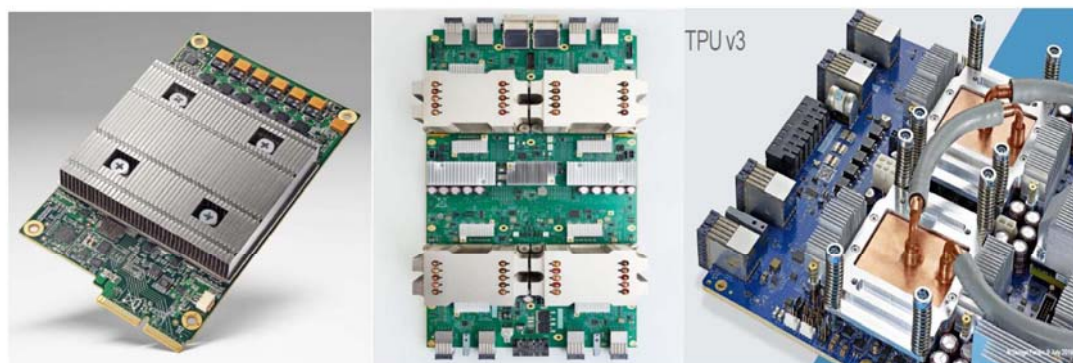


Figure 18. Three Generations of Google TPUs. Source: Cliff Young, Google Research [11]

プレゼンテーションの最後に、彼は修辭的な質問「このコミュニティから Google に何が必要か」を尋ねました。

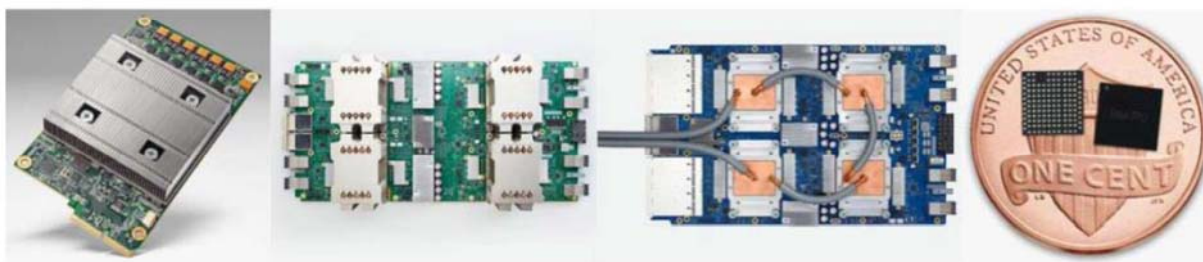
彼の答えの要約版は次のとおりです。

- 可能な限り **more-than-Moore**。
- メインパスから外れている可能性のあるオプション (possibly raw)。
- 真のコードサインコラボレーション。

彼は講演を図 19 とメッセージで締めくくりました。「深層学習によりハードウェアが再活性化されました。」



## Deep Learning has Reinvigorated Hardware



The key features of the next generation of TPUs are in this room.  
Let's go find them together.

Figure 19. Hardware Reinvigoration. Source: Cliff Young, Google Research [11]

クリフヤングがエレクトロニクスエンジニアリングコミュニティに向けて提起した非常に重要なメッセージは、協調設計（第13章）、及びシミュレーション（第14章）から開発、製造まで、私たちが行うすべてのことに関する人工知能と深層学習によってもたらされる機会です。これは、大きな挑戦であり、大きな機会です。

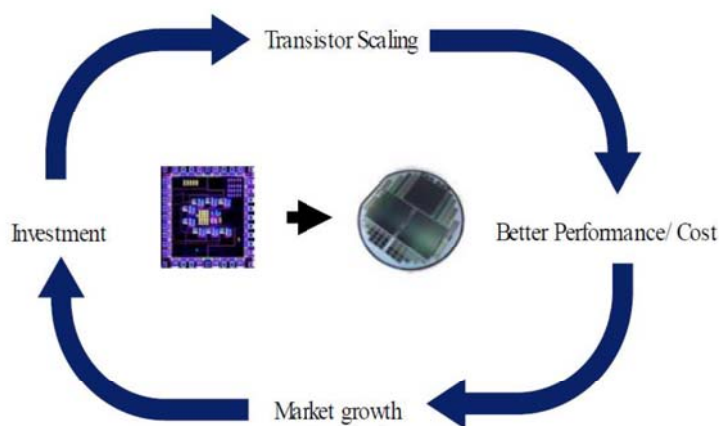
### 8. まとめ

50年前、世界は月を歩いている人のイメージに魅了され、畏敬の念を抱いていました。多くの若者は、人類にとってのこのような驚くべき成果だけでなく、アームストロングの言葉にも刺激を受けました。このエンジニアリングのかなりの偉業における半導体の役割は、絶対に認識されるべきです。人類を月に乗せた10年にわたる努力の革新の主要な分野の1つは、トランジスタの初期の発明と集積回路の出現によって推進された電子機器でした。

今日、米国、中国、インドの各政府は、宇宙飛行士とロボットを惑星や太陽系の奥深くに送ることで、宇宙をさらに探索する計画を発表しています。宇宙旅行やツアーを提供することを目指している民間企業からの発表もあります。エレクトロニクスの進歩は実に驚くべきものでしたが、現在進行中の技術革新は、このようなパイオニアが今日想像を絶するようなものを達成するのに役立ちます。

ゴードン・ムーアの1965年に発表された「集積回路へのより多くのコンポーネントの詰め込み」という論文で、彼の最初の焦点は、トランジスタの集積回路へのインテグレーションでした。「集積電子の未来は電子そのものの未来です。インテグレーションの利点はエレクトロニクスの急増をもたらし、この科学を多くの新しい分野に押し上げます。」その時から54年の間に、産業は、ウェハからチップ、チップからエレクトロニクス製品への進化を通じて、数十億個のトランジスタを集積回路にスケールアップまたは「詰め込む」投資、技術、科学を通して、実に大成功を収めました。これが「トランジスタのフォーカス」でした（図20）。



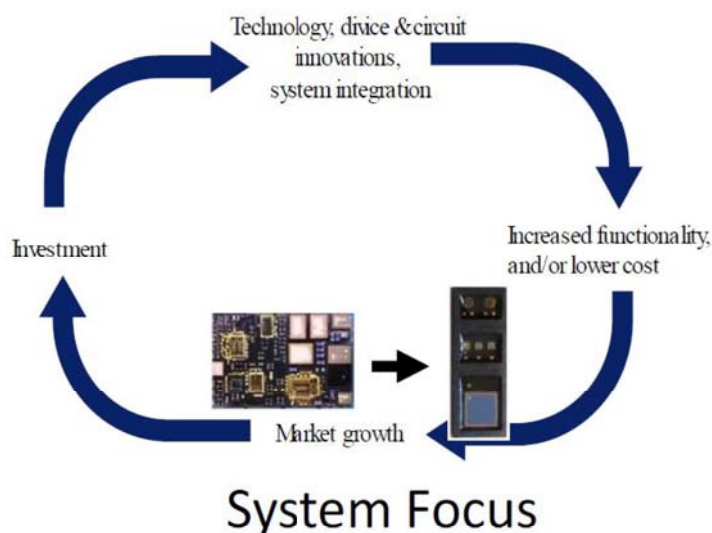


5

## Transistor Focus

Figure 20. Integration with a Transistor Focus [11]

同じ 1965 年の論文で、ゴードン・ムーアは「システムフォーカス」を特定すると同時に、ヘテロジニアスインテグレーションの価値を指摘しました。



## System Focus

Figure 21. Integration with a System Focus [11]

エレクトロニクスパッケージングは、クラウドコンピューティング、IoT、医療と健康、自動車、航空宇宙、消費者、家庭などのアプリケーションにわたる、多くの産業アプリケーションとシステム製品の革新の基本です。HI ロードマップは、専門家、産業界、学界、研究機関に、今後 15 年間のエレクトロニクス産業の進化に必要な技術要件の全体像と戦略的予測を提供し、新興デバイスのヘテロジニアスインテグレーションに関する、そして、より長い研究開発のタイムラインを持つ新素材の 25 年のビジョンを提供します。目標は、競争前のコラボレーションに向けてエコシステム全体を刺激し、それによって進歩のペースを加速することです。

### サマリー

- 5G、IoT to IoE、スマートデバイス、クラウドへのデータ、自動運転車が推進する接続性とネットワークプラットフォームの拡大により、エレクトロニクス業界の状況は急速に変化しています。

- デジタルがもたらす破壊的な市場では、それぞれにパフォーマンス、信頼性、量、コストのトレードオフに関する独自のメトリックがあります。将来のビジョン、困難な課題、及び潜在的なソリューションに対処する、競争前の技術ロードマップが非常に必要です。
- ロードマップは、ムーアの法則と ITRS に従って過去 50 年が前進したように、拡大する市場に対応し、継続的な進歩を可能にするシステムレベルのインテグレーションと高度なパッケージング技術に焦点を当てています。
- ヘテロジニアスインテグレーションは、パフォーマンスの向上、レイテンシの短縮、サイズの小型化、軽量化、機能ごとの電力要件の低減、及びコストの削減を実現するために不可欠です。
- 協調設計から開発、製造に至るまで、私たちが行うすべてのことに関する人工知能と深層学習によってもたらされる機会は、大きな挑戦であると同時に大きな機会でもあります。

## 参考文献

1. “Journey to the Moon, History of the Apollo Guidance Computer”, Eldon Hall, page 79
2. “Cramming More Components onto Integrated Circuits”, Gordon Moore, pp 114 – 117, Electronics, 19 April 1965
3. Prismark Patners seminar at ASE Group, August 2019
4. International Technology Roadmap for Semiconductors (ITRS). ITRS Roadmap is sponsored by the Semiconductor Industry Association (SIA). ITRS 2015 edition may be found at the SIA Website.
5. “Semiconductor Research Opportunities, An Industry Vision and Guide”, March 2017, was jointly sponsored by SRC and SIA. It may be found at the SRC website.
6. Presentation by John Hennessy, ERI Conference, 2018
7. Presentartion by Lisa Su, SEMICON West, July 2019
8. The Economist, 17 May 2017.
9. Presentation by John Shalf, HIR Vision Workshop, SEMICON West, Moscone Center, July 2019
10. Presentation by Cliff Young (Keynote), SEMICON West, Moscone Center, July 2019
11. Presentation by Yin Chang, ASE Group, SEMICON West, July 2018.

## 付録 1：謝辞

### A. HIR 支部：テクニカルワーキンググループの議長と共同議長

ヘテロジニアスインテグレーションロードマップは、エレクトロニクスコミュニティ全体からの TWG メンバーによる熱心なコラボレーションと多大な努力の結果です。私たちは、ワーキンググループの議長と共同議長の主な貢献に感謝の意を表します。

#### Chapter 2: High Performance Computing and Data Centers

- ・ Kanad Ghose and Dale Becker Chapter 3: Internet of Things (IoT)
- ・ Wei-Chang (Robert) Lo

#### Chapter 4: Medical, Health and Wearables

- ・ Mark Poliks, Nancy Stoffel and Jan Vardaman

#### Chapter 5: Automotive

- ・ Rich Rice, Venkatesh Sundaram and Urmi Ray

#### Chapter 6: Aerospace and Defense

- Tim Lee and Jeffrey Demmin

## Chapter 7: Mobile

- William Chen, Benson Chan, Mark Gerber and Brandon Prior

## Chapter 8: Single Chip and Multi Chip Integration (including substrates)

- William Chen and Annette Teng

## Chapter 9: Integrated Photonics

- W R (Bill) Bottoms and Amr Helmy

## Chapter 10: Integrated Power Electronics

- Patrick McClusky and Douglas Hopkins

## Chapter 11: MEMS and Sensor Integration

- Shafi Saiyid

## Chapter 12: 5G Communications

- Tim Lee and Herbert Bennett

## Chapter 13: Co-Design

Jose Schutt-Aine and Andrew Kahng

## Chapter 14: Modeling and Simulation

- Christopher Bailey and Xuejun Fan

## Chapter 15: Materials and Emerging Research Materials

- W R (Bill) Bottoms

## Chapter 16: Emerging Research Devices

- Meyya Meyyappan

## Chapter 17: Test

- Dave Armstrong and Ken Lanier

## Chapter 18: Supply Chain

- Tom Salmon and Paul Trio

## Chapter 19: Security

- Sohrab Aftabjahani

## Chapter 20: Thermal Management

- Madhusudan Iyengar, Avram Bar-Cohen and Azmat Malik

## Chapter 21: SiP and Modules

- Rolf Aschenbrenner, Erik Jung and Klaus Pressel

## Chapter 22: 2D and 3D Interconnects

- Ravi Mahajan, Rajasekaran Swaminathan, Adeel Bajwa and Subramanian Iyer

## Chapter 23: WLP (fan in and fan out)

- Rozalia Beica and John Hunt

## B. グローバル諮問会議

グローバルアドバイザーリーカウンシルのメンバーの英知とガイダンスに感謝します。

- Ajit Manocha – President & CEO, SEMI
- Babak Sabi – Corporate Vice President and Director, Assembly and Test Development, Intel
- Nicky Lu – Chairman, CEO & Founder, Etron Technology, Inc
- Herbert Lakner – Chairman of the Board of Directors of Fraunhofer Group Microelectronics



#### D.管理と編集

IEEE のエレクトロニクスパッケージングソサエティのエグゼクティブディレクターであるデニスマニングに、HIR イニシアティブをサポートする絶え間ない勤勉さ、徹底、忍耐に感謝します。また、Paul Wesling の優れた編集の努力、TWG の議長と共同議長との共同作業、及び最終製品の提供に多大な感謝をしています。